

• Le PIA 6821

Ce circuit permet l'interfaçage entre le 6809 et les périphériques par l'intermédiaire de deux ports parallèles de 8 bits programmables en entrées ou en sorties, et quatre lignes de contrôle utilisables individuellement pour gérer les interruptions ou comme E/S supplémentaires pour deux d'entre elles.

Le contrôle du PIA se fait par l'intermédiaire de 6 registres, auxquels on accède par deux bits de sélection RS_0 et RS_1 , plus le bit 2 des registres de contrôle.

Ces six registres sont les suivants :

- ORA (et ORB), registre de sortie du PORT A (et du PORT B)
- DDRA (et DDRB), registre de sens de transfert des données du PORT A (et du PORT B)
- CRA (et CRB), registre de contrôle A (et B)

Les registres ORA et DDRA sont sélectionnés par le même code RS_1 , $RS_0 = 00$. Le choix de l'un ou de l'autre est fait suivant la valeur du bit 2 du registre CRA.

ADRESSAGE INTERNE

RS1	RS0	Bit du registre de contrôle		Registre sélectionné
		CRA-2	CRB-2	
0	0	1		Registre données de la périphérie A
0	0	0		Registre sens de transfert des données A
0	1			Registre de contrôle
1	0		1	Registre données de la périphérie B
1	0		0	Registre sens de transfert des données B
1	1			Registre de contrôle

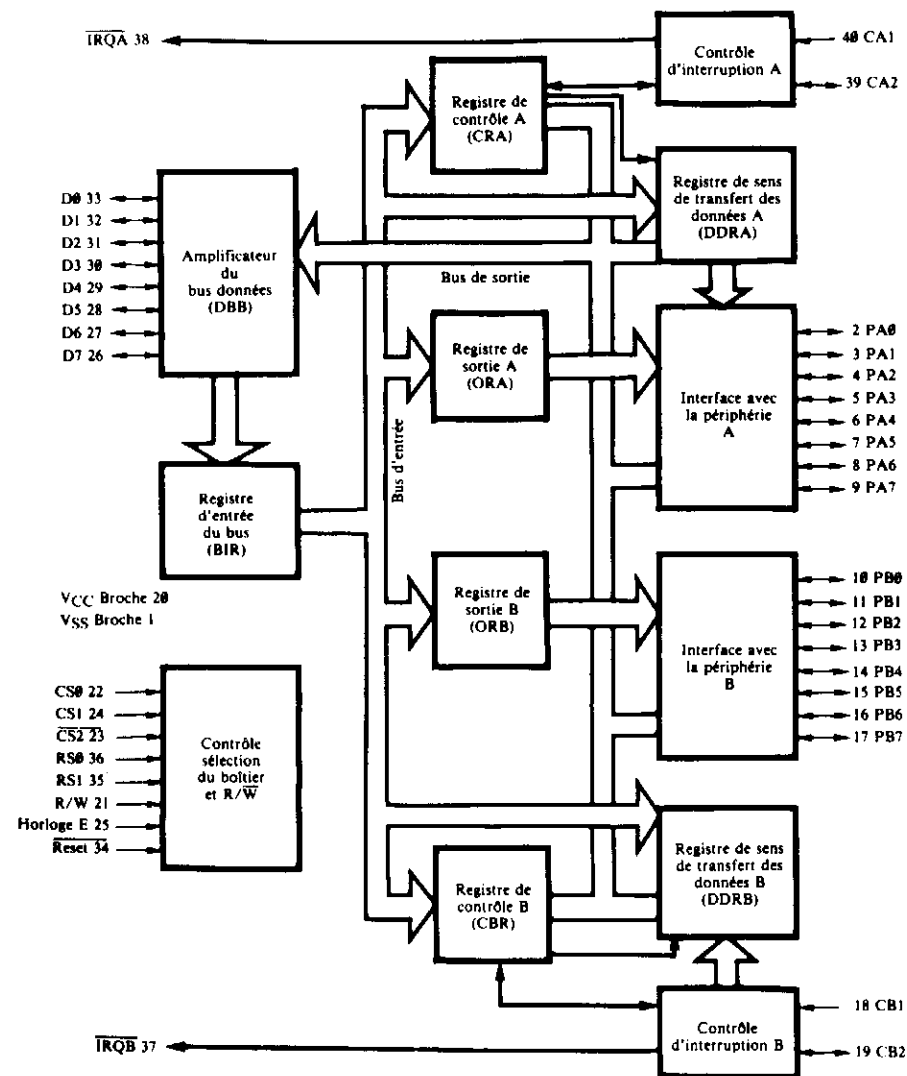
Il en est de même pour ORB et DDRB différenciés par le CRB2. L'adressage de ces registres peut être fait en mode :

- 8 bits si $RS_0 = A_0$ et $RS_1 = A_1$
- ou 16 bits si $RS_0 = A_1$ et $RS_1 = A_0$, en effet dans ce dernier cas, les registres ORA et ORB sont situés à deux adresses contiguës, donc adressables par une donnée 16 bits.

La sélection du PIA se fait par trois bits CS_0 , CS_1 , \overline{CS}_2 . Lorsque le PIA est sélectionné, le transfert des données se fait sous le contrôle de l'impulsion d'horloge E et de la ligne de lecture/écriture (R/W).

Les deux lignes de sortie $IRQA$ et $IRQB$, actives au niveau 0, sont à "drain ouvert", ce qui permet le "ou câblé". Elles sont gérées par le registre de contrôle.

DIAGRAMME FONCTIONNEL



FORMAT DES MOTS DE CONTRÔLE

	7	6	5	4	3	2	1	0
CRA	IRQA1	IRQA2	Contrôle de CA2			Accès à DDRA	Contrôle de CA1	
CRB	IRQB1	IRQB2	Contrôle de CB2			Accès à DDRB	Contrôle de CB1	

Les bits 0 à 5 de ce registre peuvent être écrits ou lus par le 6809.

Les bits 6 et 7 ne peuvent être que lus par le 6809 et sont modifiés par les entrées externes CA₁ et CA₂ (ou CB₁ et CB₂).

a) Les deux premiers bits CRA₀ et CRA₁ permettent la gestion de l'entrée CA1 :

- Si CRA₀=0 → $\overline{\text{IRQA}}$ est inhibée et bloquée à l'état haut.
- Si CRA₀=1 → $\overline{\text{IRQA}}$ passe à l'état bas quand l'indicateur CRA₇ passe à l'état haut.
- Si CRA₁=0 → l'indicateur d'interruption CRA₇ passe à l'état haut sur front descendant de CA₁.
- Si CRA₁=1 → l'indicateur d'interruption CRA₇ passe à l'état haut sur front montant de CA₁.

CONTRÔLE DES ENTRÉES D'INTERRUPTION CA1 et CB1

CRA-1 (CRB-1)	CRA-0 (CRB-0)		Indicateur d'interruption CRA-7 (CRB-7)	Demande d'interruption du MPU $\overline{\text{IRQA}}$ ($\overline{\text{IRQB}}$)
0	0	↓Active	Mis à un sur ↓ de CA1 (CB1)	Inhibée — $\overline{\text{IRQ}}$ reste à l'état haut
0	1	↓Active	Mis à un sur ↓ de CA1 (CB1)	Passe à l'état bas quand l'indicateur CRA-7 (CRB-7) passe à l'état haut
1	0	↑Active	Mis à un sur ↑ de CA1 (CB1)	Inhibée — $\overline{\text{IRQ}}$ reste à l'état haut
1	1	↑Active	Mis à un sur ↑ de CA1 (CB1)	Passe à l'état bas quand l'indicateur CRA-7 (CRB-7) passe à l'état haut

Notes :

- 1 ↑ Transition positive
- 2 ↓ Transition négative
- 3 L'indicateur d'interruption CRA-7 (CRB-7) est mis à zéro par une lecture du registre données de la périphérie A (B) par le MPU.
- 4 Si CRA-0 (CRB-0) est zéro (interruption inhibée) quand l'interruption se produit et est, par la suite, mis à un, $\overline{\text{IRQA}}$ ($\overline{\text{IRQB}}$) passe à l'état bas après que CRA-0 (CRB-0) soit à l'état haut.

c) Le bit CRA2 permet d'accéder :

- au registre DDRA si CRA2=0
- au registre ORA si CRA2=1

d) Les 3 bits CRA3 — CRA4 — CRA5 permettent la gestion de la ligne CA2 :
— Si CRA5=0 → CA2 est programmée en **entrée d'interruption** et alors les bits CRA3 et CRA4 fonctionnent vis-à-vis de cette entrée et de l'indicateur CRA6, comme précédemment CRA0 et CRA1 le faisaient vis-à-vis de CA1 et CRA7.

CONTRÔLE DE CA2 ET CB2 COMME ENTRÉES D'INTERRUPTION CRA-5 (CRB-5) est à zéro

CRA-5 (CRB-5)	CRA-4 (CRB-4)	CRA-3 (CRB-3)	Transition active de l'entrée d'interruption CA2 (CB2)	Indicateur d'interruption CRA-6 (CRB-6)	Demande d'interruption du MPU $\overline{\text{IRQA}}$ ($\overline{\text{IRQB}}$)
0	0	0	↓Active	Mis à un sur ↓ de CA2 (CB2)	Inhibée — $\overline{\text{IRQ}}$ reste à l'état haut
0	0	1	↓Active	Mis à un sur ↓ de CA2 (CB2)	Passe à l'état bas quand l'indicateur CRA-6 (CRB-6) passe à un.
0	1	0	↑Active	Mis à un sur ↑ de CA2 (CB2)	Inhibée — $\overline{\text{IRQ}}$ reste à l'état haut
0	1	1	↑Active	Mis à un sur ↑ de CA2 (CB2)	Passe à l'état bas quand l'indicateur CRA-6 (CRB-6) passe à un.

Notes :

- 1 ↑ Transition positive
- 2 ↑ Transition négative
- 3 L'indicateur d'interruption CRA-6 (CRB-6) est mis

— Si CRA5=1 → CA2 est programmée comme bit de sortie supplémentaire.
Attention : comme sorties, CA2 et CB2 ont des modes de fonctionnement différents.

— Si CRA4 (ou CRB4)=1 alors CA2=CRA3 (et CB2=CRB3).

Dans ce mode CA2 (CB2) est une sortie que l'on met à zéro ou à un par mise au niveau identique de CRA3 (CRB3).

— Si CRA4=0 (ou CRB4) alors CA2 (CB2) est utilisée comme sortie de contrôle selon le mode "poignée de main" (handshaking) afin de permettre la synchronisation des échanges.

Dans ce cas le fonctionnement est différent pour CA2 et CB2. Se reporter aux tableaux ci-dessous.

Fonctionnement du registre DDRA (DDRB)

Si le bit CRA2 (CRB2) est à 0, on accède alors pour RS₀, RS₁ = 00 au registre DDRA, et pour RS₀, RS₁ = 01 au registre DDRB.

A chaque bit de ces registres est associé une ligne du PORT de même nom. Si ce bit est :

- à "1", la ligne du PORT sera une sortie.
- à "0", la ligne du PORT sera une entrée.

- la commande de l'aiguillage des données pour l'écriture des mémoires point ou couleur (bit 0).
- la commande de la diode LED minuscule (bit 3)

Il reçoit :

- les signaux démodulés en provenance du lecteur-enregistreur de programme (bit 7)
- la lecture de l'interruption du crayon optique (bit 1)

La ligne de demande d'interruption CP1 est disponible sur le connecteur standard (IRQ-2). Cette entrée peut être programmée pour être validée sur une transition soit positive, soit négative du signal, à l'aide des bits PCR0 et PCR1 du registre de contrôle périphérique.

La ligne de contrôle CP2 est programmée en sortie et sert à actionner le buzzer interne du TO7 (et le haut-parleur du poste TV via la sortie SON de la prise PERITEL).

Le PIA étant sélectionné à partir de l'adresse \$E7C0, on trouvera donc à partir de cette adresse les 7 registres internes du 6846.

A2	A1	A0	REGISTRE SÉLECTIF
0	0	0	Registre d'état composite (CSR)
0	0	1	Registre contrôlé périphérique (PCR)
0	1	0	Registre direction des données (DDR)
0	1	1	Registre données périphériques (PDR)
1	0	0	Registre d'état composite (CSR)
1	0	1	Registre contrôle temporisateur (TCR)
1	1	0	Registre temporisateur d'octet de poids fort
1	1	1	Registre temporisateur d'octet de poids faible
x	x	x	Adresse mémoire ROM

Seule l'entrée CP1 est accessible à l'utilisateur. On la programme par accès au registre de contrôle du port P d'adresse &HE7C1

- Si le bit 0 du PCR est à 0 → CP1 est masquée, donc pas d'interruption possible.
- Si le bit 0 du PCR est à 1 → CP1 est validée, et dans ce cas :
 - Si le bit 1 (PCR1) est à 0, alors CP1 est active sur front descendant
 - Si le bit 1 (PCR1) est à 1, alors CP1 est active sur front montant.

Le temporisateur

Dans le TO7 il est utilisé pour coder les informations à enregistrer sur le LEP, pour faire clignoter le curseur, et pour la répétition automatique du clavier. La sortie 19 (CTO) délivre des informations digitales codées en salves de fréquence (liaison série asynchrone) :

- 5 périodes à 4,5 KHz pour le bit "0"
- 7 périodes à 6,3 KHz pour le bit "1"

Le temporisateur du 6846 contient un compteur 16 bits adressable par l'intermédiaire de deux registres tampons, en écriture de 8 bits chacun. Ces registres MSB et LSB sont aux adresses \$E7C6 et \$E7C7.

On peut donc écrire la valeur souhaitée directement à partir d'une donnée 16 bits contenue dans un des registres 16 bits du 6809.

Le contenu des registres tampons n'est transféré dans le compteur que lorsqu'on lui en donne l'ordre.

Dans le TO7, cet ordre ne peut venir que de la mise à 1 du bit 0 (TCR0) du registre de contrôle du temporisateur situé à l'adresse \$E7C5, ou avec une commande d'écriture des registres tampons (en fonction du mode).

Dès l'initialisation du compteur, les indicateurs d'interruption du compteur sont remis à zéro.

On peut alors fonctionner :

- *en mode continu* si TCR3 = 0, TCR7 = 1 et TCR5 = 0

Dans ce mode, un signal carré est généré sur la sortie 19 (CTO), si cette sortie est validée par TCR7 à 1. D'autre part si TCR4 est à 0, l'initialisation peut se faire simplement par écriture dans les registres tampons.

Le temporisateur fonctionne de la même manière que la sortie CTO soit validée (TCR7 à 1) ou inhibée (TC7 à 0). Si le nombre 16 bits chargé dans le compteur est N alors la sortie reste à l'état bas pendant (N + 1) fois la période de l'horloge E, soit (N + 1) μ s, puis passe à 1 pendant N + 1 μ s etc.

Si on souhaite que l'horloge soit précomptée par un diviseur par 8 il faut que TCR2 soit à 1.

- *en mode monocoup normal* : si TCR3 = 0, TCR4 = 1 et TCR5 = 1.

A deux exceptions près ce mode est identique au précédent :

1. La sortie est à l'état bas pendant 1 μ s après l'initialisation du compteur puis passe à l'état haut pendant les N μ s suivantes pour enfin se rebloquer à l'état bas jusqu'à la prochaine initialisation du compteur.
2. Le TO7 n'est pas concerné par la deuxième exception puisque les deux entrées d'initialisation \overline{CTG} et \overline{CTC} sont au 0V.

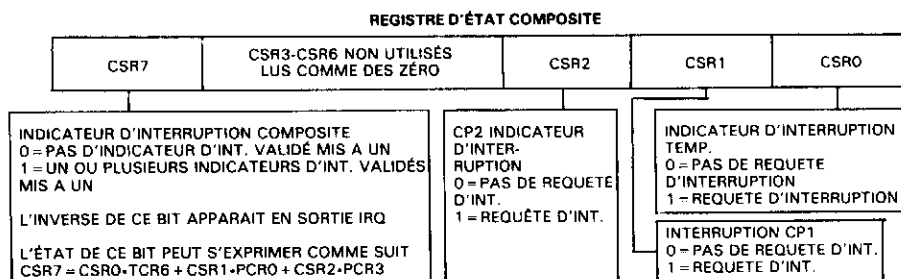
- *en mode cascade monocoup* si TCR3 = 0, TCR4 = 0 et TCR5 = 1.

Dans ce mode, la sortie CTO ne passe pas à l'état bas après l'initialisation.

D'autre part en fin de comptage, la sortie CTO prend le niveau du bit TCR7 :

- Si ce bit est mis à 1 avant la fin de tempo, alors la sortie CTO reste à 1 pendant le cycle suivant.
- Si ce bit est mis à 0 avant la fin de tempo, alors la sortie CTO passe à 0 pendant le cycle suivant.

Ces différents modes de fonctionnement sont résumés dans les tableaux ci-dessous. D'autre part, on en verra des exemples d'applications lors de l'étude de la gestion du LEP et de l'interface RS232.



**FORMAT DU REGISTRE DE CONTRÔLE
COMPTEUR/TEMPORISATEUR**

BIT REGISTRE DE CONTRÔLE	ÉTAT	DÉFINITION DU BIT	DÉFINITION DE L'ÉTAT
TCR0	0	Initialisation interne	Validation temporisateur
	1		Temporisateur à l'état pré-établi
TCR1	0	Source horloge	Temporisateur utilise une horloge externe (CTC)
	1		Temporisateur utilise l'horloge système #2
TCR2	0	Validation par pré-compteur diviseur par 8	L'horloge n'est pas pré-comptée
	1		L'horloge est pré-comptée par compteur diviseur par 8
TCR3	x	Sélection du mode de fonctionnement	Voir tableau 3
TCR4	x		
TCR5	x		
TCR6	0	Validation interruption temporisateur	\overline{IRQ} du temporisateur masqué
	1		\overline{IRQ} du temporisateur validé
TCR7	0	Validation sortie temporisateur	Sortie compteur (CTO) mise à l'état bas
	1		Sortie compteur validée

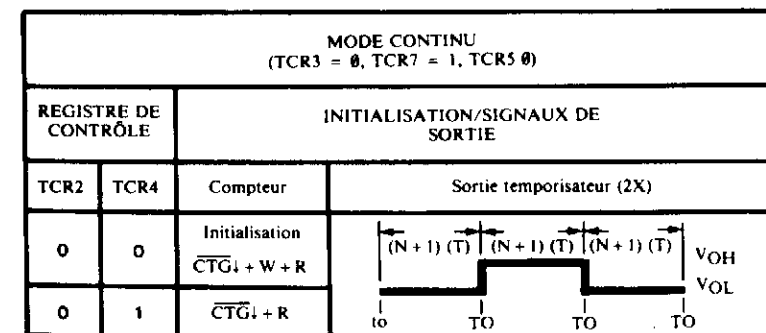
MODES DE FONCTIONNEMENT

TCR3	TCR4	TCR5	Mode fonctionnement du temporisateur	Initialisation compteur	Indicateur d'interruption mis à un
0	0	0	Continu	$\overline{CTG} \downarrow + W + R$	TO
0	0	1	Cascade monocoup	$\overline{CTG} \downarrow + R$	TO
0	1	0	Continu	$\overline{CTG} \downarrow + R$	TO
0	1	1	Normal Monocoup	$\overline{CTG} \downarrow + R$	TO
1	0	0	Comparaison de fréquence	$\overline{CTG} \downarrow . 1 . (W + TO) + R$	$\overline{CTG} \downarrow$ avant TO
1	0	1		$\overline{CTG} \downarrow . 1 + R$	TO avant $\overline{CTG} \downarrow$
1	1	0	Comparaison de largeur d'impulsion	$\overline{CTG} \downarrow . 1 + R$	$\overline{CTG} \uparrow$ avant TO
1	1	1			TO avant $\overline{CTG} \uparrow$

R = Condition d'initialisation
W = Écriture des registres tampon du temporisateur
TO = Fin de comptage

CTG = Transition positive sur la broche 17
T = Indicateur d'interruption (CSR0) = 0

MODES DE FONCTIONNEMENT CONTINU



$\overline{CTG} \downarrow$ = Transition négative sur l'entrée \overline{CTG}

T = Période d'entrée horloge vers compteur

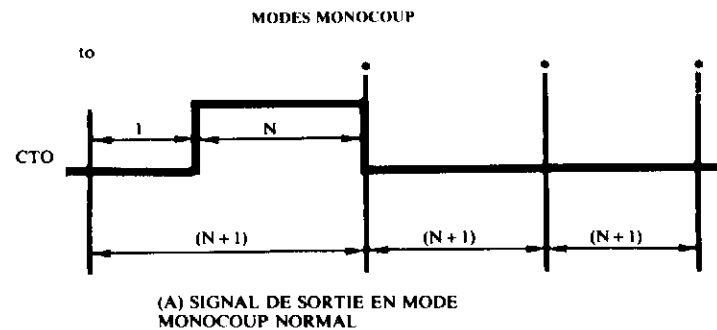
\overline{W} = Commande d'écriture des registres tampon du temporisateur

to = Cycle d'initialisation compteur

R = Mise à zéro du temporisateur (TCR0) = 1 ou RESET externe = 0

TO = Fin de comptage (condition tout à zéro)

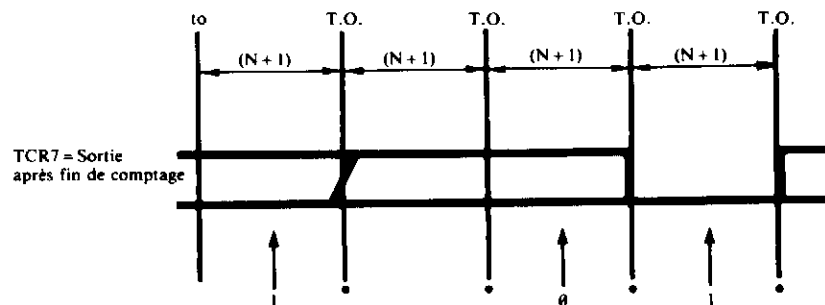
N = Nombre de 16 bits dans les registres tampon du compteur



Le bit CSR7 est mis à un quand IRQ passe à zéro. Il ne peut être remis à zéro que si tous les indicateurs d'interruption ont été remis à zéro.

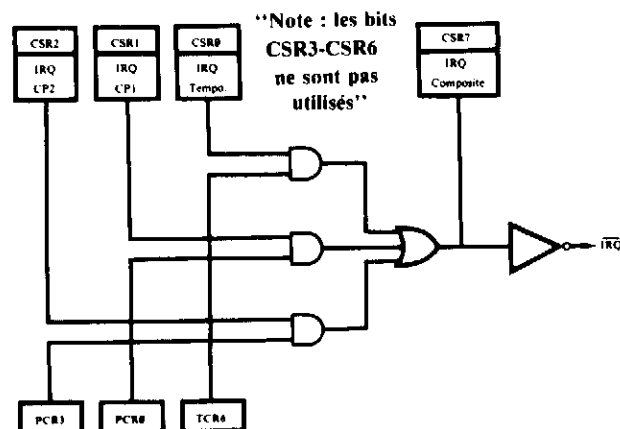
Le bit CSR0 peut être remis à 0 par :

- reset externe ou interne (TCR0 à 1)
- initialisation du compteur
- commande de lecture du compteur, précédée d'une lecture du CSR pendant que CSR0 est mis à 1.



Le registre d'état composite (CSR) d'adresse \$E7C0 est un registre à lecture seule qui est partagé par le temporisateur et le port parallèle. Seuls les bits CR0, CR1, CR2 et CR7 sont utilisés et permettent la demande d'interruption IRQ s'ils sont mis à un via les conditions appropriées dans le temporisateur ou le port parallèle. D'autre part l'interruption n'est possible que si les bits actifs sont mis à un dans les registres de contrôle appropriés, conformément au schéma ci-dessous.

Registre d'état composite et logique associée



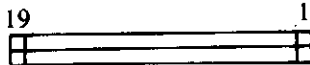
3. Les entrées/sorties

3.1 Bus standard

Trois sorties de bus standard sont prévues à l'arrière du TO7. Elles se présentent sous forme de trois "nez de carte" destinés à recevoir les extensions A, B et C.

Le connecteur d'extension est du type 2 × 19 contacts (double face) au pas de 2,54 mm (par exemple SOCAPEX 254DF19 AYW8C).

Aux différents contacts correspondent les entrées/sorties ci-dessous :

SORTIE EXTENSION TO7			
Dessus A			
Dessous B	Vue de face		
	A	B	
1	GND	+ 12V	
2	CP1	GND	
3	$\overline{E7C}$	SON	
4	\overline{CSE}	R/ \overline{W}	
5	A11	E	
6	A10	D7	
7	A9	D6	
8	A8	D5	
9	A7	D4	
10	A6	D3	
11	A5	D2	
12	A4	D1	
13	A3	D0	
14	A2	\overline{RST}	
15	A1	\overline{FIRQ}	
16	A0	\overline{NMI}	
17	\overline{CSD}	\overline{IRQ}	
18	\overline{CSC}	Video	
19	+ 5V	- 5V	

SON : Entrée son
 $\overline{E7C}$: Select E7Cx
 \overline{CSE} : Select E000-EFFF
 Video : Pin 19 prise SCART
 E : Enable extension

Dessus A

1	GND	Référence 0V du TO7
2	CP1	Entrée interruption du 6846 (U1)
3	$\overline{E7C}$	Signal actif au niveau bas pour les adresses \$E7CX, permettant la sélection des PIA d'extension
4	\overline{CSE}	Signal actif au niveau bas pour les adresses \$E000 à \$EFFF
5	A11	Bits A ₀ -A ₁₁ du bus d'adresse
6	A10	
7	A9	
8	A8	
9	A7	
10	A6	Bits A ₀ -A ₁₁ du bus d'adresse
11	A5	
12	A4	
13	A3	
14	A2	
15	A1	Bits A ₀ -A ₁₁ du bus d'adresse
16	A0	
17	\overline{CSD}	Signal actif au niveau bas pour les adresses \$ D000 à \$DFFF
18	\overline{CSC}	Signal actif au niveau bas pour les adresses \$ C000 à \$ CFFF
19	+ 5V	Alimentation + 5V du TO7

Toutes les sorties proviennent de circuits TTL (LS) :

- \overline{CSC} , \overline{CSD} et \overline{CSE} viennent du décodeur d'adresse U14 ≡ 74LS139
- $\overline{E7C}$ vient du circuit de décodage 74LS02
- Les bits d'adresses sont tamponnés par des circuits 74LS241

L'entrée CP1 permet d'envoyer une interruption au 6846. On se reportera à la notice de ce circuit pour une étude complète de son fonctionnement.

La sortie d'alimentation + 5V peut fournir jusqu'à 3 ampères si aucune extension n'est reliée au TO7.

Dessous B

1	+12V	Alimentation +12V du TO7
2	GND	Référence 0V du TO7
3	SON	Entrée SON du TO7
4	R/W	Signal de lecture/écriture en provenance du MPU 6809
5	E	Signal d'horloge E du 6809 bufferisé par 74LS241
6	D7	Bits D ₀ -D ₇ de données
7	D6	
	⋮	
12	D1	
13	D0	
14	RST	Entrée de reset du MPU 6809
15	FIRQ	Entrées d'interruptions vectorisées du 6809
16	NMI	
17	IRQ	
18	Vidéo	Entrée vidéo reliée à la borne 19 de la prise Péritel
19	-5V	Alimentation -5V du TO7 Vidéo composite en provenance du téléviseur.

— Les sorties E et D₀-D₇ sont toutes compatibles TTL puisque bufferisées par des circuits LS (LS241 unidirectionnel pour E, et LS245 bidirectionnel pour le bus de donnée).

— La sortie R/W vient du MPU 6809 directement sans buffer LS.

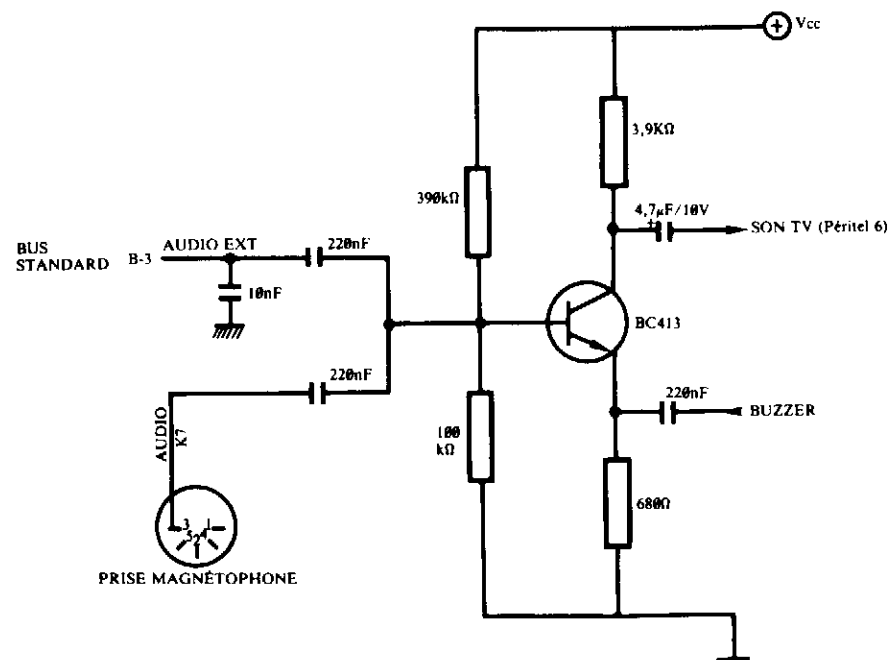
— L'entrée SON est envoyée via C10 (220nf) sur la base d'un amplificateur émetteur commun réalisé autour du transistor T1 (BC413) monté en résistance d'émetteur non découplée, ce qui lui donne un gain en tension d'environ 5 ou 6.

L'entrée AUDIO du LEP attaque ce même étage via C3 (220 nf) ce qui permet la récupération du son venant du lecteur à cassette sur le bus standard et vice-versa sans amplification.

La sortie amplifiée est prélevée sur le collecteur de T1 et envoyée sur la sortie SON de la prise Péritel (broche 6) via le condensateur C12 (4,7μF/10V).

Le niveau de tension sur cette entrée son doit être d'environ 170mV puisque les sorties Péritel sont normalisées à 0,8V/75Ω.

SCHEMA DE L'AMPLI SON



— Toutes les entrées d'interruption, \overline{RST} , \overline{FIRQ} , \overline{NMI} et \overline{IRQ} sont connectées directement au MPU 6809 et doivent pour être actives, être maintenues au niveau bas pendant au moins un cycle d'horloge. (Se reporter à la notice 6809).

— L'entrée vidéo est reliée directement à la borne 19 de la prise Péritel, et reçoit donc le signal vidéo composite venant du téléviseur. C'est grâce à cette liaison que pourra être développée l'"incrustation" sur le TO7-70.

— L'alimentation +12V peut fournir jusqu'à 700mA

— L'alimentation -5V peut fournir jusqu'à 90mA

Attention : les valeurs données ci-dessus (courants d'alimentations) sont des valeurs maximales. Pour des raisons de sécurité, et si des extensions sont utilisées, il est nécessaire de diminuer ces valeurs afin de ne pas provoquer un échauffement trop important des régulateurs.

3.2 Bus extension mémoire

Cette sortie de bus se fait également sous forme d'un "nez de carte" destiné à recevoir le connecteur d'extension RAM 16 K.

Le connecteur sera du même type que pour le bus standard, mais avec cette fois seulement 2×13 contacts (double face) au pas de 2,54 mm (connecteur SOCAPEX 254 DF13 AYY).

Aux différents contacts correspondent les entrées/sorties ci-dessous :

SORTIE EXTENSION MÉMOIRE TO7

Dessus A 13 1

Dessous B Vue de face

	A	B
1	+12V	+5V
2	A ₀	D ₇
3	A ₁	D ₆
4	A ₂	D ₅
5	A ₃	D ₄
6	A ₄	D ₃
7	A ₅	D ₂
8	A ₆	D ₁
9	R/ \overline{W}	D ₀
10	CLOCK	\overline{OE}
11	\overline{RAS}	CAS
12	GND	GND
13	GND	-5V

Dessus A

1	+12V	Alimentation +12V du TO7
2	A ₀ /A ₇	Bits A ₀ -A ₆ /A ₇ -A ₁₃ du bus d'adresse multiplexé
3	A ₁ /A ₈	
7	A ₅ /A ₁₂	
8	A ₆ /A ₁₃	
9	R/ \overline{W}	Signal de lecture/écriture en provenance du MPU 6809
10	CLOCK	Signal d'horloge 2MHz
11	\overline{RAS}	Signal d'échantillonnage d'adresse ligne RAM 4116
12	GND	Référence 0V du TO7
13	GND	Référence 0V du TO7

— L'alimentation +12V peut fournir jusqu'à 700 mA (voir précédemment).
 — Les 7 bits d'adresses A₀/A₆ proviennent des multiplexeurs 74LS157 destinés aux RAMS dynamiques de l'extension et permettent grâce au multiplexage par ligne et par colonne des 4116 de fournir les 2¹⁴ adresses soit 16384 bits/RAM.

— Le signal R/ \overline{W} est le signal $\overline{RAMW} = R/\overline{W} + \overline{E\mu}$ bufferisé par une porte 74LS 241. Il ne sera au niveau bas que si l'on est en mode écriture ET sur niveau bas de l'horloge E.

— Le signal CLOCK (2MHz) est totalement compatible TTLLS puisque pris sur la sortie Q du registre 74LS165.

— Le signal RAS sélectionnant les lignes des 4116 est pris en sortie d'une porte 74LS241

Dessous B

1	+5V	Alimentation +5V du TO7
2	D ₇	Bits D ₀ -D ₇ du bus de données
3	D ₆	
8	D ₁	
9	D ₀	Signal de déconnection des datas RAMS du bus de données si l'extension n'est pas adressée, ou en mode écriture
10	\overline{OE}	
11	CAS	Signal d'échantillonnage colonne des 4116
12	GND	Référence 0V du TO7
13	-5V	Alimentation -5V du TO7

— Les 8 bits de données sont reliés au bus interne via un circuit bidirectionnel 74LS245. Il est nécessaire de prévoir dans l'extension un "latch" unidirectionnel 3 états 74LS374 sélectionné par OE en mode lecture seulement des RAMS d'extension, donc dans la plage d'adresse \$8000-\$BFFF.

— Le signal $\overline{OE} = (\overline{8000-BFFF})_{16} + R/\overline{W}$ déconnectera via le latch "extension-mémoire" le bus de sortie des datas de l'extension du bus de données lorsque celle-ci n'est pas adressée (en dehors de 8000-BFFF) ou lorsque le 6809 envoie un ordre d'écriture.

Ce signal pris en sortie d'une porte OU de U15 (74LS32) est donc un signal de sortie TTL LS.

— Le signal CAS permet la validation de l'adressage en colonne des RAMS 4116. Ce signal est bufferisé par une porte 74LS241.

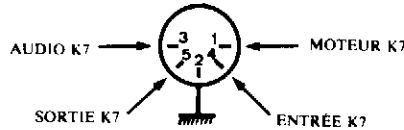
— L'alimentation +5V peut fournir jusqu'à 3A.

— L'alimentation -5V peut fournir jusqu'à 90 mA. (voir précédemment).

3.3 Entrées/Sorties vers le magnétophone

La prise de connection au magnétophone est une prise standard 5 broches DIN. On peut donc éventuellement utiliser un prolongateur 5 broches MALE DIN/5 broches FEMELLE DIN.

Prise magnétophone P2



1	Moteur K7	Commande le moteur du LEP
2	GND	Référence 0V du TO7
3	Audio K7	Lecture de la piste audio du LEP
4	Entrée K7	Lecture d'un programme enregistré sur le LEP
5	Sortie K7	Sortie d'un programme en RAM vers le LEP.

— La sortie 1 de commande du moteur K7 est reliée à la sortie CA2 du PIA 6821 système. Pour bien comprendre ce qui suit il faut avoir préalablement assimilé le fonctionnement du registre CRA d'un PIA 6821.

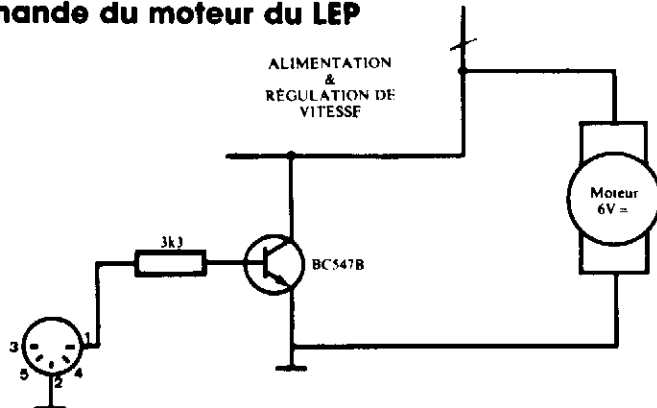
Les bits CRA-4 et CRA-5 étant à 1 :

- Si CRA3=0 → CA2 est mis à zéro → MOTOR ON
- Si CRA3=1 → CA2 est mis à un → MOTOR OFF

Dans le LEP, l'entrée MOTEUR K7 commande un transistor BC547B via une résistance de 3,3 kΩ, dont l'effet est :

- S'il est bloqué, de ne pas agir sur l'alimentation du moteur.
- S'il est saturé, de couper l'alimentation du moteur.

Commande du moteur du LEP



— La borne 3 de la prise P2 est une entrée du TO7 qui lit la piste audio de la cassette et envoie ce signal vers la sortie son TV. Le signal audio K7 est amplifié dans le TO7 par le même montage à transistor amplifiant le signal AUDIO EXT disponible sur le bus standard (B-3). (Niveau ≈ 170 mV).
Se reporter au schéma donné précédemment lors de l'étude de ce bus.

Gestion des E/S digitales (4 et 5)

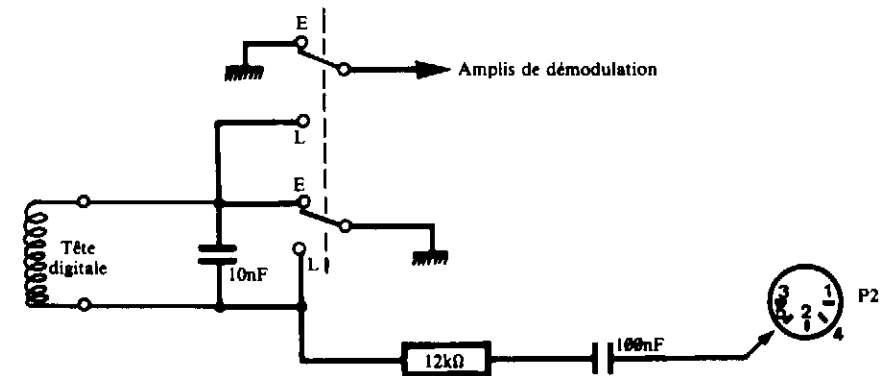
• Étude hardware :

a) En sortie (5), le TO7 envoie sur la borne 5 de la prise magnétophone P2, les impulsions générées par soft sur la sortie CO (patte 19) du temporisateur 6846 (voir pages précédentes). Ces informations digitales sont codées en salve de fréquence :

- 5 périodes à 4,5 kHz pour le bit "0"
- 7 périodes à 6,3 kHz pour le bit "1"

Dans le LEP, ces informations digitales de niveau TTL sont envoyées sur la tête digitale d'enregistrement/lecture via un circuit R-C série (12KΩ-100nF).

Entrée digitale du LEP



b) En entrée (4), les informations en provenance du LEP sont envoyées dans le TO7, sur le bit 7 du PORT parallèle du 6846 (patte 28). Ce bit est initialisé en entrée.

Dans le LEP, les informations lues sur la piste digitale sont amplifiées, et démodulées afin de fournir des octets sérialisés à 900 Bauds asynchrones adaptés au TO7. Tant que le moteur est OFF, la sortie du LEP est à "1" (+5V).

• Étude Software

Le moniteur du TO7 contient un programme appelé "CONTROLEUR DE MINI CASSETTE" (K7CO\$) dont le point d'entrée est en \$E815.

Ce programme utilise un registre, K7.OPC, rangé en page 0 à l'adresse &H6029, et dont le contenu est un mot de code permettant les opérations : OPEN en LECTURE, OPEN en écriture, CLOSE, SAISIE d'un OCTET, ENVOI d'un OCTET, grâce aux paramètres ci-dessous :

K7.OPR = % 0000 0001 OPEN en LECTURE

K7.RDC = % 0000 0010 LIRE un OCTET

K7.OPW = % 0000 0100 OPEN en ECRITURE

K7.WRT = % 0000 1000 ECRIRE un OCTET

K7.CLS = % 0001 0000 CLOSE

Le registre d'état K7.STAT, rangé en &H602A, servira à indiquer le type d'opération réalisée ou la cause d'une erreur.

K7.NRD = % 1000 0000 LECTEUR pas PRET

En sortie, si le bit de carry C du registre CODE CONDITION est :

— à 0 → opération normale

— à 1 → erreur

Les autres registres utilisés sont :

— TCR SAV (&H6064) qui sauvegarde l'état courant du TIMER

— TCT SAV (&H6065) qui sauvegarde le compte courant du TIMER

La vitesse de transmission est de 900 bauds.

En lecture comme en écriture, les octets sont passés par B

Plusieurs appels successifs de ce sous-programme sont donc nécessaires aussi bien pour écrire sur le LEP que pour y lire des informations.

Exemple : Écriture d'un octet :

1. Ouverture en écriture :

— Mettre le code K7.OPW dans K7.OPC

— Appeler K7CO\$

2. Écriture de l'octet :

— Mettre le code K7.WRT dans K7.OPC

— Mettre l'octet dans B

— Appeler K7CO\$

3. Fermeture :

— Mettre le code K7.CLS dans K7.OPC

— Appeler K7CO\$

Lorsqu'on demande une ouverture en écriture :

— le moteur est alimenté (CRA3 du 6821 = 0)

— une temporisation de 1 seconde est lancée pour stabiliser la bande

— on revient du S-P (RTS)

Lorsqu'on demande une ouverture en lecture :

— le moteur est alimenté

— on revient du sous-programme

Lorsqu'on demande un Close :

— une temporisation de 1/2s est lancée

— le moteur est OFF (CRA3 = 1)

— on revient du S.P.

On trouvera ci-dessous deux programmes objet permettant :

— La sauvegarde d'un écran POINTS sur cassette, par lecture des adresses de la RAM POINTS, de \$4000 à \$5F40

— La lecture d'un écran sur cassette avec restitution en RAM POINTS.

4000	STAD	EQU	\$4000
5F40	ENDAD	EQU	\$5F40
6029	K7OPC	EQU	\$6029
0004	K7OPW	EQU	4
0008	K7WRT	EQU	8
0010	K7CLS	EQU	\$10
EB15	K7CO	EQU	\$EB15
0004	EOT	EQU	4

A000		ORG	\$A000
A000	34	56	DEBUT PSHS U, X, B, A
A002	B6	04	LDA #K7OPW
A004	B7	6029	STA K7OPC
A007	BD	EB15	JSR K7CO
A00A	B6	08	LDA #K7WRT
A00C	B7	6029	STA K7OPC
A00F	CE	A034	LDU #CODE
A012	E6	C0	LDB ,U+
A014	C1	04	CMPB #EOT
A016	27	05	BEQ SUITE
A018	BD	EB15	JSR K7CO
A01B	20	F5	BRA *-9
A01D	BE	4000	SUITE LDX #STAD
A020	E6	80	BOUCLE LDB ,X+
A022	BD	EB15	JSR K7CO
A025	BC	5F41	CMPX #ENDAD+1
A028	26	F6	BNE BOUCLE

	4000	STAD	EQU	\$4000
	5F40	ENDAD	EQU	\$5F40
	6029	K7OPC	EQU	\$6029
	0001	K7OPR	EQU	\$1
	0002	K7RDC	EQU	\$2
	0010	K7CLS	EQU	\$10
	EB15	K7CD	EQU	\$EB15
A000			ORG	\$A000
A000	34	56	DEBUT	PSHS U, X, B, A
A002	86	01		LDA #K7OPR
A004	B7	6029		STA K7OPC
A007	BD	EB15		JSR K7CD
A00A	86	02		LDA #K7RDC
A00C	B7	6029		STA K7OPC
A00F	CE	A034	RECH	LDU #CODE
A012	BD	EB15		JSR K7CD
A015	E1	C0		CMPB , U+
A017	26	F6		BNE RECH
A019	C1	45		CMPB #\$45
A01B	26	F5		BNE *-9
A01D	8E	4000		LDX #STAD
A020	BD	EB15	BOUCLE	JSR K7CD
A023	E7	80		STB , X+
A025	8C	5F41		CMPX #ENDAD+1
A028	26	F6		BNE BOUCLE
A02A	86	10		LDA #K7CLS
A02C	B7	6029		STA K7OPC
A02F	BD	EB15		JSR K7CD
A032	35	D6		PULS U, X, B, A, PC
A034	43	CODE	FCC	/CODE/
	4F			
	44			
	45			
	0000		END	

00000 Total Errors

Dans chacun d'eux le mot "CODE" permet une synchronisation parfaite des deux opérations de sauvegarde et de relecture.

Pour avoir accès aux RAM points, il faut faire un POKE &HE7C3, PEEK (&HE7C3) OR 1 en BASIC, ou bien ajouter :

LDA PRC B6 E7 C3

ORA #1 8A 01

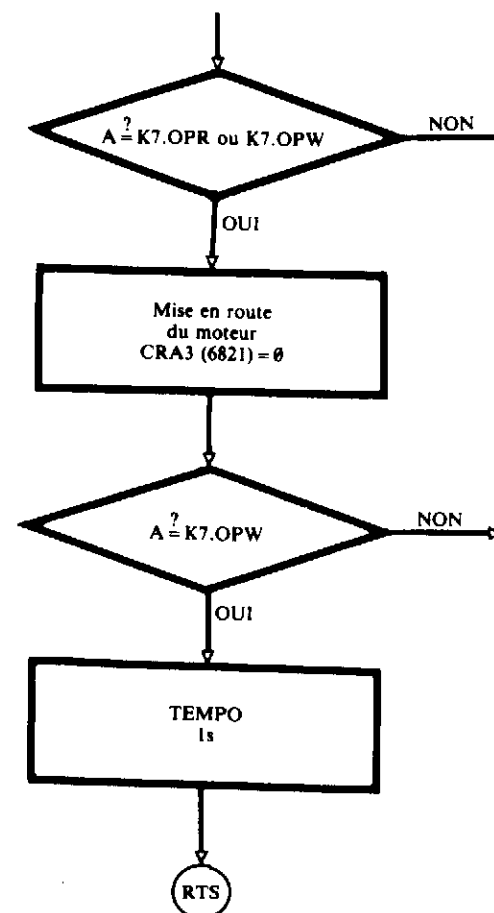
avant de faire EXEC&HA000

STA PRC B7 E7 C3

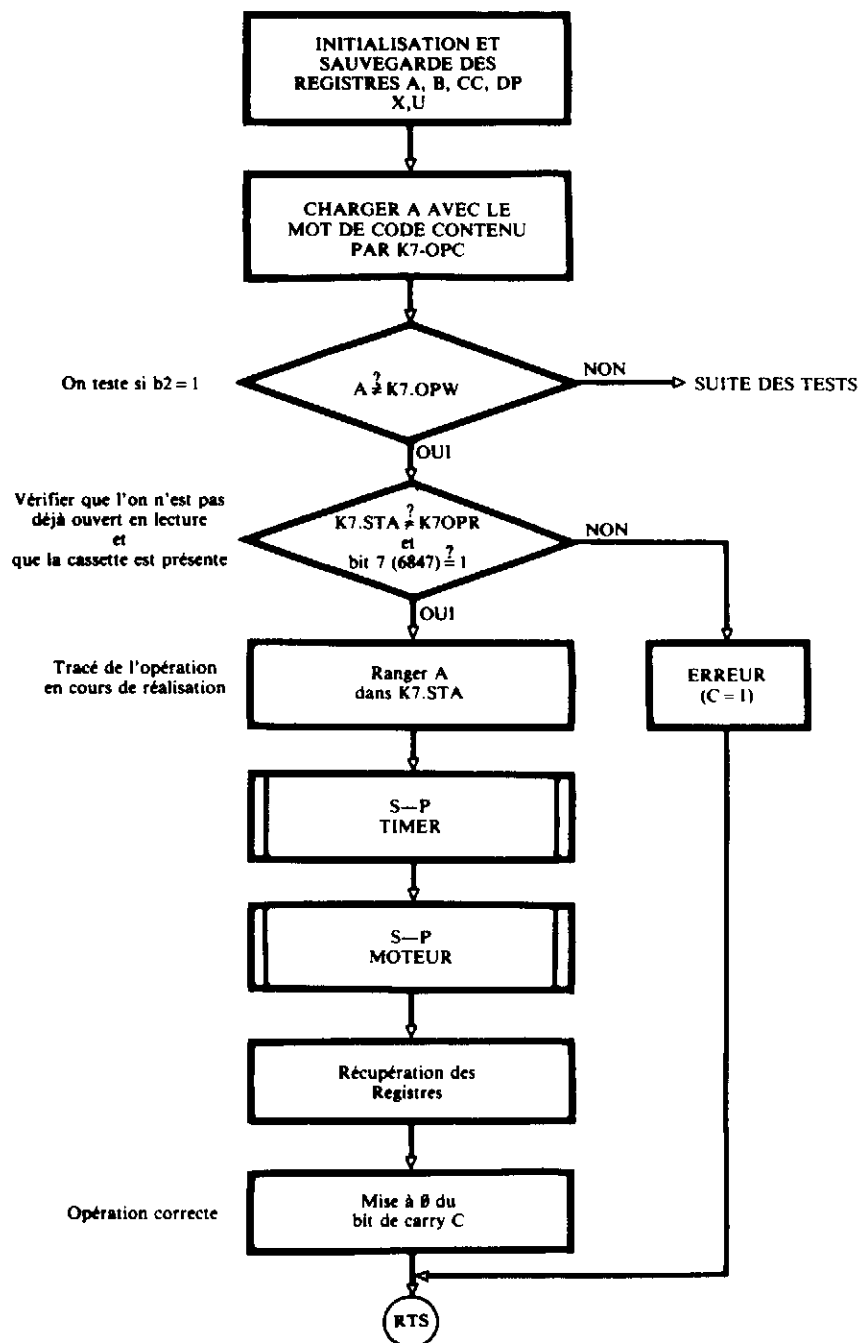
Les organigrammes ci-joints permettent d'analyser la procédure d'ouverture pour écrire (K7.OPW). Le sous-programme TIMER provoque le fonctionnement du 6846 en mode continu, la sortie TO fournissant un signal carré de fréquence 6,3 kHz.

Pour obtenir cette fréquence il faut charger le compteur avec la valeur 78(\$4E). La fréquence d'horloge étant $E = 1\text{MHz}$, la sortie TO restera à 1 pendant $78\mu\text{s}$ puis à 0 pendant $78\mu\text{s}$ soit une période de $156\mu\text{s}$ donc une fréquence de 6,3 kHz.

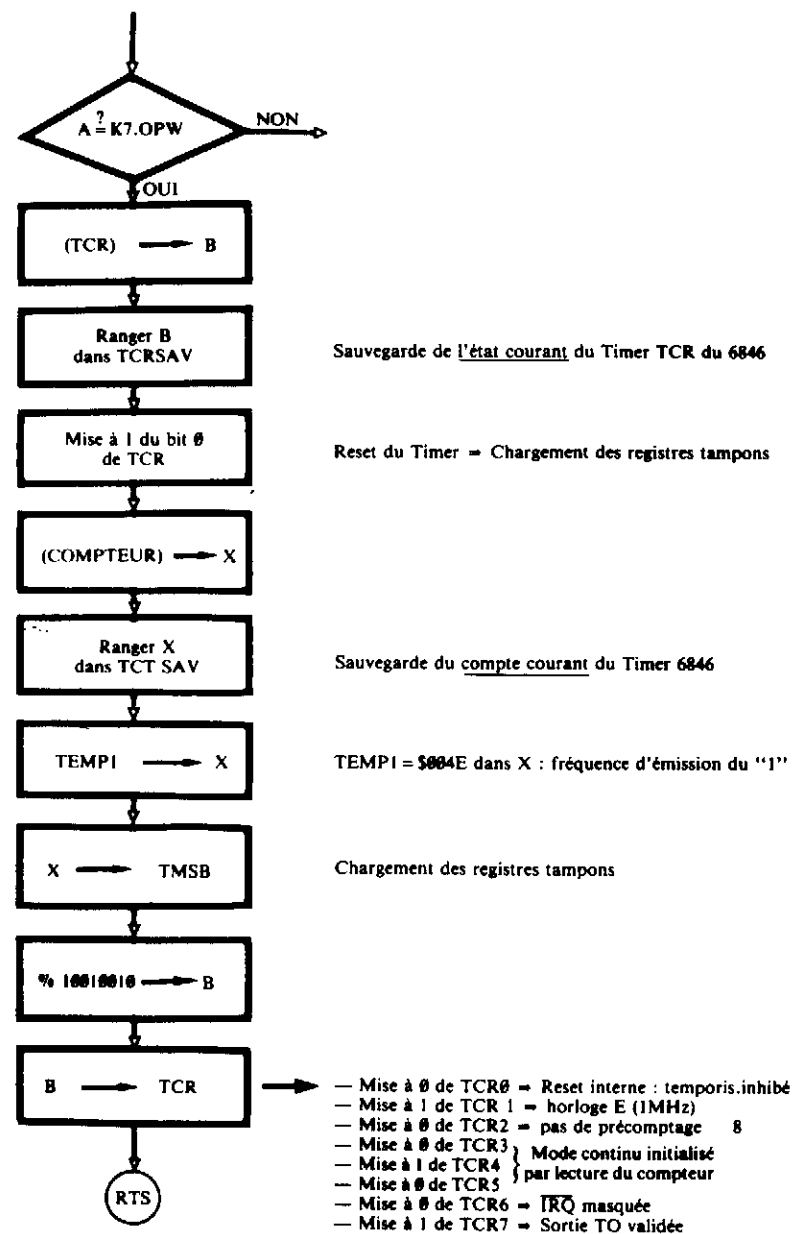
Organigramme du sous-programme "MOTEUR"



Organigramme "OUVERTURE POUR ÉCRIRE"



Organigramme du Sous-Programme "TIMER"

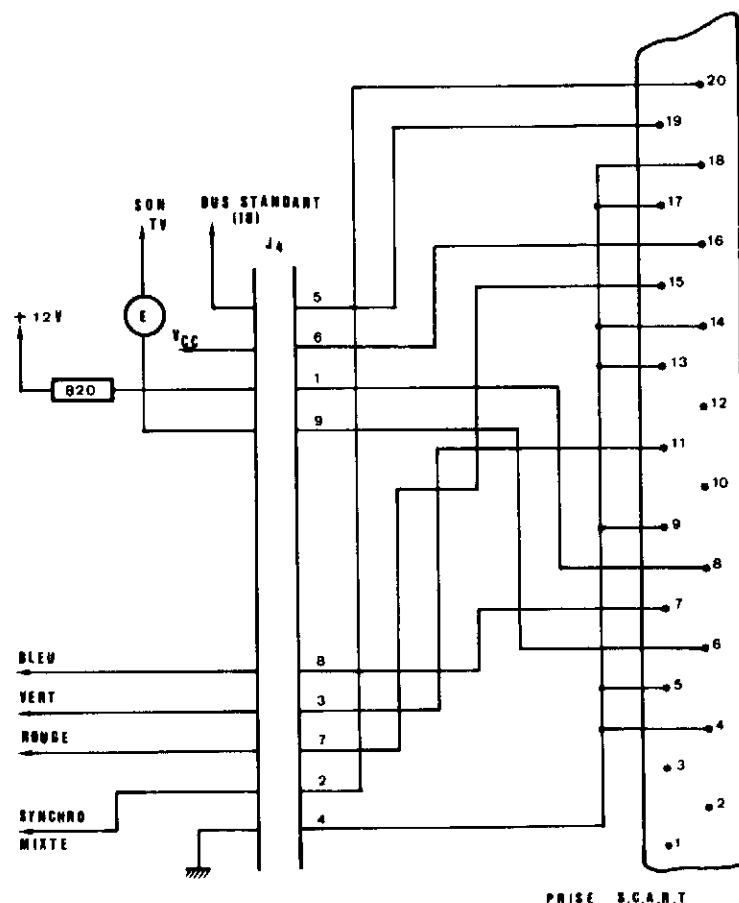


3.4 E/S vers Prise PERITEL

La Prise SCART du TO7 fournit les informations ci-dessous :

- Borne 20 : Sortie Synchro mixte du TO7 0,8V/75Ω
- Borne 19 : Entrée Vidéo composite
- Borne 16 : Commutation rapide reliée au + Vcc dans le TO7
- Borne 11 : VERT Niveau 0,8 V/75Ω
- Borne 8 : Commutation lente reliée à 12 V à travers une résistance de limitation de 820Ω dans le TO7.
- Borne 7 : BLEU Niveau 0,8 V/75Ω
- Borne 6 : Son TV (voir schéma de l'amplificateur audio du TO7). Sortie par C=4,7μF/10V. Niveau ≈ 1V
- Borne 15 : ROUGE Niveau 0,8 V/75Ω
- Bornes 4, 5, 9, 13, 14, 17, 18 : MASSE

Schéma prise SCART et connecteur J4



DESCRIPTION DES INTERCONNEXIONS

Remarques générales :
 — Toutes les entrées et sorties peuvent être simultanément en fonctionnement
 — Tous les signaux d'entrée et de sortie sont définis et mesurés conformément aux publications appropriées du CCIR et de la CEI.

Designation du signal	Valeur d'adaptation	Numéro du contact	Conditions de mesure et observation
Sortie "AUDIO" A (1) : — monophonie — stéréophonie voie gauche — voie indépendante A	Impédance ≤ 1kΩ (2) Force électromotrice (valeur efficace) nominale 0,5V () minimale 0,2V () maximale 2V ()	3	() pour un facteur de modulation de l'émetteur de 80 % (MA ou MF). () pour un facteur de modulation de l'émetteur de 30 % (MA OL MF).
Sortie "AUDIO" B (1) : — voie droite stéréophonie — voie indépendante B	Impédance ≤ 1kΩ Force électromotrice (valeur efficace) nominale 0,5V () minimale 0,2V () maximale 2V ()	1	() pour un facteur de modulation de l'émetteur de 80 % (MA Ou MF). () pour un facteur de modulation de l'émetteur de 30 % (MA ou MF).
Entrée "AUDIO" A (1) : — monophonie — stéréophonie voie gauche — voie indépendante A	Impédance ≥ 10kΩ (2) Tension (valeur efficace) nominale 0,5V minimale 0,2V maximale 2V	6	Impédance de charge pour les mesures : 10kΩ

Désignation du signal	Valeur d'adaptation	Numéro du contact	Conditions de mesure et observation
Entrée "AUDIO" B (1) : — voie droite stéréophonie — voie indépendante B	Impédance $\geq 10k\Omega$ (2) Tension (valeur efficace) nominale 0,5V minimale 0,2V maximale 2V	2	Impédance de charge pour les mesures : 10k Ω .
Masse commune "AUDIO"		4	
Sortie "VIDEO"	Signal video composite : Tension : 1V (tolérance ± 3 dB) (3) différence entre le niveau du blanc et le niveau de synchronisation. Impédance de charge 75 Ω (4) Tension continue superposée comprise entre 0V et +2V. Quand le signal appliqué à ce contact est uniquement un signal de synchronisation, sa tension crête à crête est 0,3V (-3 + 10dB)	19	Video positive
Entrée "VIDEO"	Signal video composite : Tension : 1V (tolérance ± 3 dB) (3) différence entre le niveau du blanc et le niveau de synchronisation. Impédance de charge 75 Ω (4) Tension continue superposée comprise entre 0V et +2V. Quand le signal appliqué à ce contact est uniquement un signal de synchronisation, sa tension crête à crête est 0,3V (-3 + 10dB)	20	Video positive
Masse "VIDEO"		17	

Désignation du signal	Valeur d'adaptation	Numéro du contact	Conditions de mesure et observation
Composante ROUGE	Différence entre valeur crête et niveau de suppression : 0,7V (tolérance ± 3 dB) (5) Impédance de charge 75 Ω . Tension continue superposée comprise entre 0V et +2V.	15	Composante positive.
Masse ROUGE		13	
Composante VERT	Différence entre valeur crête et niveau de suppression : 0,7V (tolérance ± 3 dB) (5) Impédance de charge 75 Ω . Tension continue superposée comprise entre 0V et +2V.	11	Composante positive.
Masse VERT		9	
Composante BLEU	Différence entre valeur crête et niveau de suppression : 0,7V (tolérance ± 3 dB) (5) Impédance de charge 75 Ω . Tension continue superposée comprise entre 0V et +2V.	7	Composante positive.
Masse BLEU		5	
Sélection de fonction (Commutation lente)	0V à +2V état logique "zéro", +10V à +12V état logique "un" Résistance d'entrée $\geq 10k\Omega$ Capacité d'entrée $\leq 2nF$ Pour un récepteur de télévision, l'état logique "0" correspond à la réception de télévision diffusée et l'état logique "1" correspond à la péritélévision.	8	Impédance de charge mesure : 10k Ω