

Troisième partie

Analyse matérielle du TO8

Conception générale - Description

Le micro-ordinateur TO8 est conçu comme ses prédécesseurs, à partir d'un 6809 E, microprocesseur commandé à la fréquence de 1 MHz par deux horloges extérieures en quadrature: *E* et *Q*.

Le bus d'adresses 16 bits est direct et permet d'accéder aux différentes mémoires mortes et aux registres.

Le bus de données 8 bits véhiculant les principaux échanges a une ramification particulière: le bus de données RAM qui est bufferisé et relié par un 74 LS 245. Pendant la phase non active du 6809, ce bus est isolé du bus de données principal par l'action du 74 LS245 commandé par le signal TRANS. C'est durant cette période que le gate array accède aux mémoires en "mode page".

Les lignes de contrôles du 6809 E correspondent:

- aux commandes de lecture écriture R/WN des différents registres et mémoires,
- aux demandes d'interruption IRQN concernant la gestion du clavier, le clignotement du curseur, les manettes de jeux et la souris,
- aux demandes d'interruption FIRQN pour le fonctionnement du crayon optique et du code barre.

Un circuit de réinitialisation "RESET" est en relation avec le 6809 E et différents circuits, tels que le contrôleur de clavier 6804.

• Pour la mémoire morte

Les deux pages de 6 Ko du moniteur ainsi que les deux pages de 1,9 Ko de logiciel contrôleur de disque sont logées dans une EPROM 16 Ko 27 128.

Les 2 x 32 Ko de logiciel d'application BASIC 1 - divers - BASIC 512 - EXTRAMONITEUR, sont logés chacun dans une ROM ou EPROM 32 Ko selon une répartition en quatre banques.

La commutation des banques s'effectue en programmation par une écriture d'adresses ROM dans un latch 74 LS 173. Ce circuit permet de sélectionner chaque partie concernée dans une des mémoires mortes.

La cartouche de logiciel d'application externe est reliée à l'unité centrale par l'intermédiaire d'un connecteur. Elle est sélectionnée par logiciel à partir d'un bit de PIA du 6846.

• Pour la mémoire vive

Huit boîtiers 256 Kbits 41256 forment un plan mémoire de 256 Ko comprenant un découpage de pages logiques de 16 Ko.

Les différentes pages sont commutées par un adressage physique sur 18 bits en provenance du gate array mode page.

L'extension mémoire, accessible par un connecteur de carte relié au bus de données RAM, est constituée de huit boîtiers 41256 qui regroupent seize autres pages de RAM utilisateur (pages 16 à 31) adressées de la même manière et différenciées par le signal CAS2N.

Outre le 6809 E, l'élément vital de l'unité centrale est un circuit à réseau logique (gate array) appelé "mode page" car il permet, par un bus d'adresses multiplexées, de faire fonctionner les RAMS dynamiques 41256 dans le type de mode susnommé.

Pendant la phase non active du CPU, il assure le rafraîchissement des mémoires et de l'écran. Piloté par une horloge mère de 16 MHz, il délivre les différents signaux de timing et de commande vidéo. Il fabrique tous les décodages d'adresses. Il gère, en partie, le fonctionnement du crayon optique par le signal CKLPN. Il regroupe et produit les huit modes d'affichage et définit les couleurs du cadre. Il permet de définir la carte mémoire en quatre espaces logiques principaux:

L'espace "cartouche" de 0000 à 3FFF

L'espace "écran" de 4000 à 5FFF

L'espace "système" de 6000 à 9FFF

L'espace "données" de A000 à DFFF

Il autorise l'utilisateur à affecter une page de RAM à un espace logique selon certaines modalités; notamment, il permet de recouvrir 16 Ko de logiciel par une page de mémoire vive.

Un circuit de palette du type EF 9369, programmable par le 6809 E, permet sous la dépendance du mode d'affichage déterminé une variété de seize teintes exploitables directement par l'écran parmi un choix de 4 096 au total.

Il délivre les trois informations B, V, R reprises et adaptées par des circuits d'interfaçage vidéo comprenant, entre autres, le dispositif d'incrustation. Ces circuits, recevant des signaux de synchronisation et de blanking du gate array, fournissent les tensions et adaptations nécessaires pour la prise péritel aux normes SCART ainsi que pour un éventuel codeur modulateur PAL dans la version export.

Un deuxième connecteur de carte, appelé polyvalent, permet de relier les bus et signaux nécessaires aux extensions.

Trois circuits d'interface sont en relation avec différents périphériques:

– Un 6846 qui assure par le timer l'envoi codé des informations numériques à enregistrer sur le magnétophone LEP (sauvegarde). Inversement, une ligne du PIA récupère les informations numériques décodées en provenance du LEP (chargement). Les autres lignes du PIA sont affectées à la commande de silence ou "MUTE" en utilisation de la souris, à la prise en compte du signal BUSY de l'imprimante, à la communication avec le 6804 pour la gestion du clavier, au traitement de l'information "tactile" du crayon optique LP (signal INTERLP) et, enfin, à la commutation des logiciels internes ou de la cartouche externe.

– Un 6821 "musique et jeux" qui est chargé par ses deux ports de huit bits et ses quatre lignes de contrôle de la génération du son et de la liaison manettes des jeux et souris. Un convertisseur numérique analogique CNA récupère le son synthétisé et l'envoie vers un circuit mélangeur recevant, par ailleurs, le son du LEP et la commande de MUTE. La sortie du mélangeur alimente la prise peritel et une prise auxiliaire CINCH.

– Un 6821 "système" qui assure principalement, par l'intermédiaire d'un connecteur spécialisé, la gestion d'une imprimante en mode parallèle de type CENTRONICS, prend en compte, par le signal KTEST, l'action d'une touche du clavier, procure les demandes d'incrustation et la télécommande du moteur LEP.

Un microprocesseur monochip du type 6804 sert de contrôleur de clavier. Piloté par une horloge oscillant à 11 MHz, il dialogue en transmission série codée avec le 6809 E par le truchement du 6846. La liaison est effectuée dans les deux sens à l'aide de deux fils DATAS et ACK. Le clavier est relié au 6804 par deux connecteurs assurant une transmission parallèle.

Un contrôleur de disquettes, sous forme d'un deuxième circuit à réseau logique ou gate array (THMFC01), programmable par le 6809 E, délivre par l'intermédiaire d'une prise DIN 14 broches les signaux nécessaires au fonctionnement d'un lecteur de disquettes.

Une alimentation à découpage au secondaire fabrique les deux tensions de + 5 V et + 12 V nécessaires à la configuration de l'unité centrale.

2. Le 6809 E dans le TO8

Suivant la lignée de ses prédécesseurs, le fonctionnement général du TO8 est basé sur le principe fondamental de la phase active et non active du 6809 E (cf. étude du TO9, paragraphe sur le Principe fondamental page 34).

La fréquence des horloges E et Q en provenance du gate array reste de 1 MHz et la constante de temps du RESET de 1 seconde.

La structure de bus est simplifiée. Un seul buffer 74 LS 245 est utilisé pour l'aiguillage du bus de données RAM (cf. synoptique). En dehors de l'action de R/WN déterminant le sens du transfert des informations, le 74 LS 245 est commandé par le signal TRANSN réagissant en fonction de E, des zones adressées et indirectement du CSCRTN (cf. commutation des logiciels) selon la forme:

E	CSCRTN	zones adressées	TRANSN	
0	X	XXXX	1	
1	0	0000-3FFF	1	
1	1	0000-3FFF	0	} validation du buffer
1	1	4000-DFFF	0	

La consultation de ce tableau amène les remarques suivantes:

Pour E = 0, le CPU n'a pas accès au bus RAM. Ce dernier est réservé au rafraîchissement.

Pour E = 1, selon la programmation du gate array mode page, la zone d'adresse 0000-3FFF initialement réservée pour les logiciels internes ou externes peut être attribuée à une page de RAM. Dans ce cas, CSCRN = 1 et le signal TRANSN = 0 valident le buffer permettant au microprocesseur d'accéder à la mémoire vive.

Exceptées les zones d'adresses du gate array mode page, l'espace E000-FFFF reste en majorité inaccessible par le CPU à travers le bus RAM.

Les deux entrées d'interruptions utilisées sont IRQN et FIRQN. La première sert à gérer le clignotement du curseur (sortie du TIMER 6846), le fonctionnement du clavier (PIA du 6846) ou d'un périphérique externe tel que manettes de jeux, souris (6821 musique et jeux). La deuxième gère l'action du phototransistor dans le crayon optique lors d'une visée (gate array mode page) ou, en relation avec un logiciel adapté, l'action d'un éventuel capteur de "code barre".

3. Gestion de la mémoire morte

Contrairement au TO7, au TO7/70 et d'une façon similaire au TO9, le TO8 est livré avec des logiciels intégrés qui sont adressés dans le même espace mémoire que la cartouche. Le moniteur, quant à lui, réside dans une autre partie de zone mémoire.

Description des logiciels

La mémoire morte interne du TO8 est répartie en trois boîtiers:

- Une ROM ou EPROM de 32 Ko (27256) organisée en deux pages de 16 Ko (banque 0, banque 1) contenant le BASIC 512 et l'EXTRAMONITEUR.
- Une ROM ou EPROM de 32 Ko (27256) organisée en deux pages de 16 Ko (banque 2, banque 3) contenant le BASIC 1, la page d'en-tête, le réglage palette et le DOS ICONIQUE.
- Une ROM ou EPROM de 16 Ko (27128) organisée en deux pages de 8 Ko contenant le MONITEUR de l'unité centrale et du lecteur de disquettes externe.

La cartouche enfichable de 16 Ko ou 32 Ko représente la mémoire morte externe.

Commutation des logiciels

La figure 17 décrit le mécanisme général de fonctionnement.

De par les décodages d'adresses CSCRTN et CSMN en provenance du gate array mode page, le système assure la sélection de la zone cartouche 0000-3FFF et zone moniteur E000-FFFF moins quelques adresses prises par les registres des circuits périphériques.

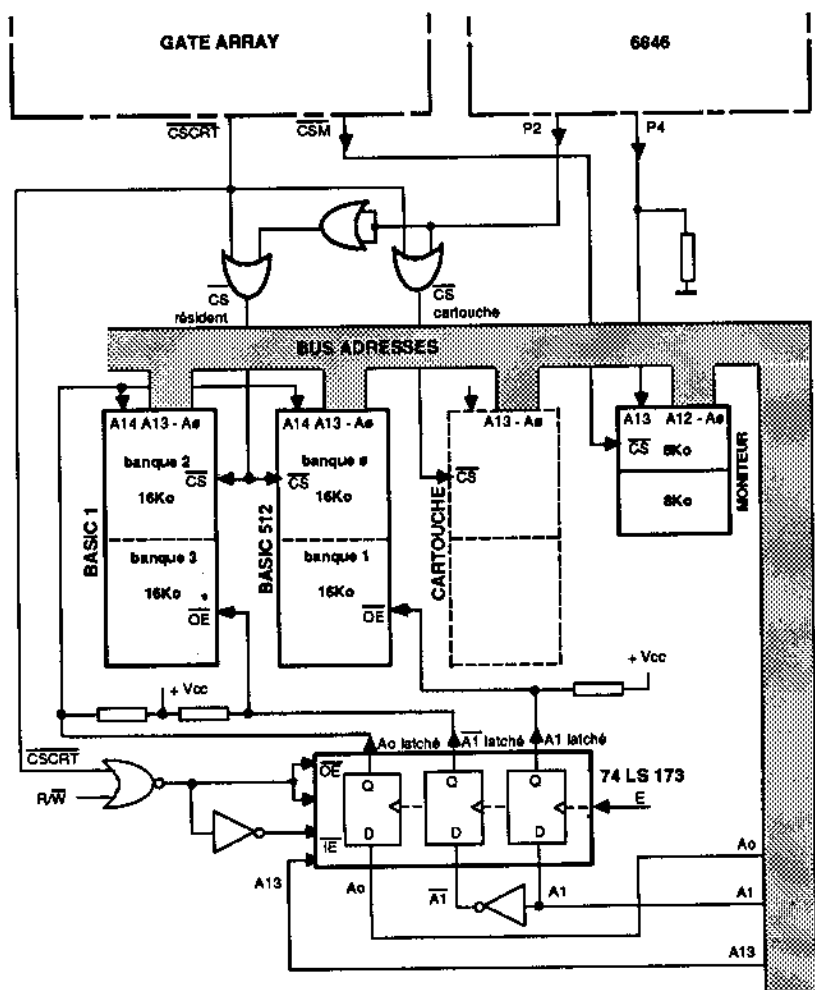


Figure 17. Gestion des ROMs dans le TO8

Sélection d'une page moniteur

Par construction, le bit P4 du 6846 étant relié au bit A13 du bus d'adresse de la mémoire de 16 Ko, ce bit permet de choisir la page de 8 Ko haute ou basse du boîtier. Ainsi:

P4 = 0 ==> partie basse de la ROM

P4 = 1 ==> partie haute de la ROM

La résistance reliée à la masse a pour effet, lors de l'initialisation, de rendre accessible automatiquement la partie basse de la ROM, P4 étant positionnée en entrée.

Sélection entre logiciels résidents et cartouche

La commutation se fait à partir du bit P2 du 6846 qui, combiné avec le décodage d'adresse CSCRTN, restitue à travers une logique câblée les deux commandes telles que:

$$\overline{\text{CS résident}} = \overline{\text{CSCRT}} + \overline{\text{P2}}$$

$$\overline{\text{CS cartouche}} = \overline{\text{CSCRT}} + \text{P2}$$

Ainsi, pour P2 = 0:

$\overline{\text{CS}}$ cartouche est actif dans le champ d'adresses 0000-3FFF et valide la cartouche.

$\overline{\text{CS}}$ résident est inactif.

Ainsi, pour P2 = 1:

$\overline{\text{CS}}$ résident est actif dans le champ d'adresses 0000-3FFF et valide les deux boîtiers de logiciels internes.

$\overline{\text{CS}}$ cartouche est inactif.

De par l'action du gate array mode page, ce montage offre la possibilité d'inhiber les logiciels dans l'espace mémoire 0000-3FFF qui leur est normalement alloué. Dans ce cas de figure, CSCRTN = 1 constant. Ce type de fonctionnement permet à l'utilisateur de substituer de la ROM par une page de RAM pouvant être, par ailleurs, chargée par un logiciel en provenance d'une mémoire de masse (cf. fonctionnement du gate array mode page, page 105).

Sélection des quatre banques de logiciels internes

Le mécanisme employé est comparable à celui utilisé par les cartouches (COLORCALC, COLORPAINT, BASIC II ...) et par le TO9 (en remplaçant le signal CSN par CSCRTN).

Synthèse de fonctionnement

Le tableau suivant résume le mécanisme général des commutations selon différents cas de figure:

Champ d'adr.	$\overline{\text{CSCRT}}$	$\overline{\text{CSM}}$	P2	P4	A1 latché	A0 latché	Logiciel sélectionné
0000-3FFFF	0	1	0	X	X	X	Cartouche
- -	0	1	1	X	0	0	Banque 0
- -	0	1	1	X	0	1	Banque 1
- -	0	1	1	X	1	0	Banque 2
- -	0	1	1	X	1	1	Banque 3
4000-DFFF	1	1	X	X	X	X	Néant
E000-E7AF	1	0	X	0	X	X	Moniteur
E800-FFFF							partie basse
E000-E7AF		0	X	1	X	X	Moniteur
E800-FFFF							partie haute

4. Les mémoires vives

Technologiquement, les 256 Ko de mémoire vive résidente du TO8 sont constitués par 8 boîtiers intégrés du type 41256. Ces circuits ont une capacité de $256K \times 1$ bit. Pour une reconstitution en données de 8 bits, huit 41256 sont associées, chacune étant spécialisée par un poids de D7 à D0 (cf. figure 18)

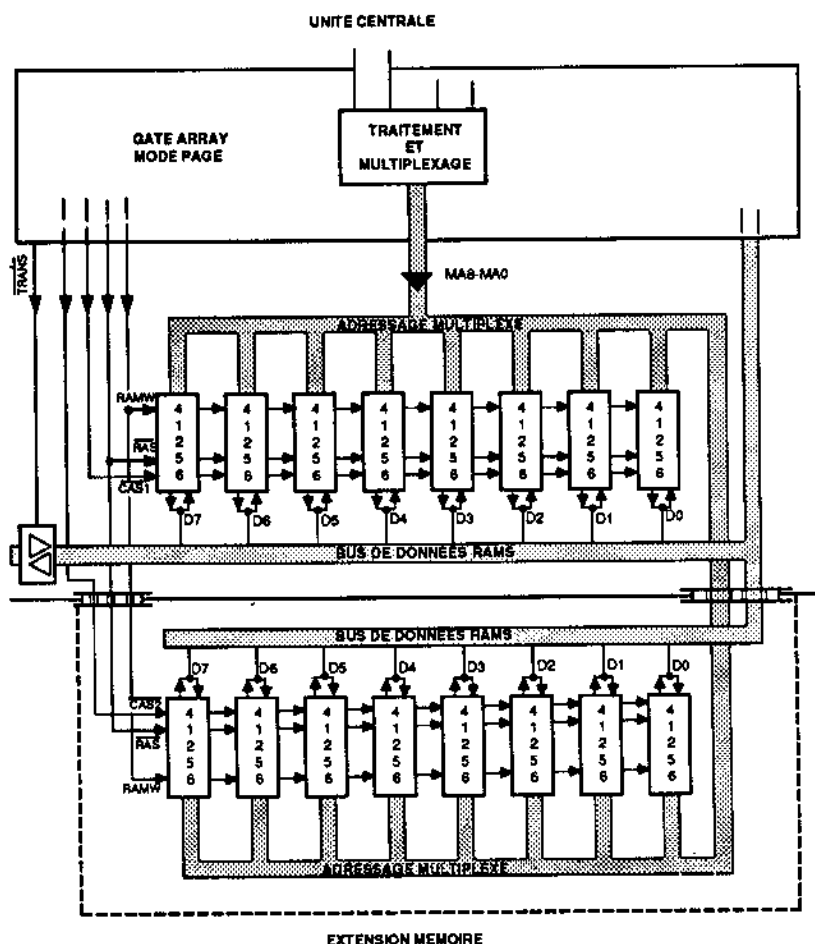


Figure 18. Système de mémorisation RAMS dans le TO8

Fonctionnement d'une 41256

Les 41256 sont des mémoires vives dynamiques qui permettent de stocker sous forme de matrice de $2^9 = 512$ lignes et de $2^9 = 512$ colonnes, $512 \times 512 = 256$ Kbits. L'adressage d'une telle matrice, à structure symétrique, nécessite 2×9 bits d'adressage envoyés en deux temps sur les 9 fils du bus d'adresse correspondant. Aux 9 bits de poids faible correspond l'adressage ligne validé par le signal de ligne RASN; aux 9 bits de poids fort correspond l'adressage colonne validé par le signal de colonne CASN. Le diagramme suivant précise la forme multiplexée de l'adressage:

a0	a9
a1	a10
a2	a11
a3	a12
a4	a13
a5	a14
a6	a15
a7	a16
a8	a17

Adressage ligne
validé par RASN
et rafraîchissement
d'une ligne

Adressage colonne
validé par CASN

On peut faire suivre un adressage ligne bien particulier par deux adressages colonnes successifs en utilisant deux validations de CASN, pour RASN actif constamment. Ce type de fonctionnement s'intitule mode page. Il est utilisé dans le TO8, par l'intermédiaire du gate array correspondant.

Le rafraîchissement de ces mémoires dynamiques se fait par adressages successifs des 512 lignes.

Les 41256 ne sont pas sélectionnées (bus de données déconnecté) lorsque le signal CASN n'est pas actif. Ce dernier remplace avantageusement une commande de CHIP SELECT.

Organisation générale

La figure 18 montre deux plans mémoires distincts composés chacun de huit boîtiers 41256. Le plan supérieur représente les 256 Ko de mémoire vive résidant dans l'unité centrale, l'autre plan représente les 256 Ko de mémoire vive appartenant à l'unité d'extension.

Chaque boîtier reçoit en commun les commandes de RASN et RAMWN en provenance du gate array. CAS1N et CAS2N autorisent la sélection des plans mémoire, conformément au tableau suivant par l'intermédiaire des commandes communes de CASN.

$\overline{\text{CAS1}}$	$\overline{\text{CAS2}}$	Plan mémoire actif
0	1	Résident
1	0	Extension
1	1	Aucun

Un bus de données RAMS est commun en entrée-sortie à tous les boîtiers des deux plans mémoire. Ce bus est en relation avec le bus de données du 6809 par l'intermédiaire d'un buffer 74 LS 245 commandé par le signal TRANSN selon certaines modalités. (cf. chapitre II le 6809 E dans le TO8, page 95).

L'adressage de chaque boîtier, nécessairement multiplexé en 2×9 bits, est issu du gate array mode page. Cet adressage physique sur 18 bits (A0 à A17-256 Ko d'investigation) permet un découpage logique en pages de 16 Ko, selon une correspondance en espaces logiques de la carte mémoire limitée par principe à un adressage sur 16 bits (A0 à A15-64 Ko d'investigation). Ces espaces logiques sont alors à considérer comme des banques mémoires, ce qui, vu d'un logiciel, ne change rien quant à l'ancienne structure du type TO9, mais est totalement différent au niveau matériel.

Corrélativement à l'action du gate array, les trois espaces mémoire RAM définis dans la carte mémoire ont chacun une correspondance en numéro de page dans un des deux plans physiques selon:

Espace logique	Espace physique	
écran	page 0	plan résident
système	page 1	plan résident
données	pages 2 à 31	plan résident ou extension

Sélections et correspondances

Contrairement au TO9, la sélection des zones mémoire qui était faite par aiguillage de CAS et bits de PIA est réalisée, dans le TO8, par un processus de transformation d'adresses. L'adressage logique, provenant de la programmation sur 16 bits, est transformé en 18 bits.

Le tableau ci-dessous montre la relation entre les conditions physiques et les découpages logiques obtenus pour assurer la compatibilité avec les anciens montages.

Conditions physiques			Découpage logique		
CAS1	CAS2	Zone physique	Page	Zone logique	Appellation
0	1	00000-01FFF	0	4000-5FFF	RAM écran B
0	1	02000-03FFF	0	4000-5FFF	RAM écran A
0	1	04000-07FFF	1	6000-9FFF	RAM système
0	1	08000-0BFFF	2	A000-DFFF	Banque 0
0	1	0C000-0FFFF	3	A000-DFFF	Banque 1
0	1	10000-13FFF	4	A000-DFFF	Banque 2
0	1	14000-17FFF	5	A000-DFFF	Banque 3
0	1	18000-1BFFF	6	A000-DFFF	Banque 4
0	1	1C000-1FFFF	7	A000-DFFF	Banque 5
-	-	-	-	-	-
0	1	3C000-3FFFF	15	A000-DFFF	Banque 13
1	0	00000-03FFF	16	A000-DFFF	Banque 14
-	-	-	-	-	-
1	0	3C000-3FFFF	31	A000-DFFF	Banque 29

La commutation de CAS1N et CAS2N est dépendante de la programmation du gate array mode page (voir page 105) dans lequel cinq bits représentent le numéro de page.

On remarquera, à la vue de ce tableau, une correspondance logique/physique beaucoup plus rationnelle que dans les montages précédents.

Ecriture et lecture des RAMS

Comme pour le TO9, deux cas de figure sont à considérer.

- E = 1, phase active du 6809:

Le microprocesseur peut communiquer en lecture ou écriture avec les RAMS à travers le 74 LS 245 par le bus de données RAM.

La commande RAMW = R/WN.

- E = 0, phase non active du 6809:

RAMW = 1, les mémoires sont en lecture automatique. Les lignes sont adressées en incrémentation constante par les compteurs du gate array.

Afin de permettre leur rafraîchissement en deux temps, soit en accès mode page, les colonnes sont doublement adressées, avec un écart constant qui représente une variation de 8 Ko. Ainsi:

Un premier accès a lieu dans la page physique 0 à une première adresse AD telle que:

- $00000 < AD < 01FFF$ donc dépendante de la mémoire écran B (couleur).

Un deuxième accès a lieu dans la même page physique 0 à une adresse telle que:

- $02000 < AD + 8 \text{ Ko} < 03FFF$ donc dépendante de la mémoire écran A (points).

Toute cette organisation est définie à partir du gate array "mode page".

5. Le gate array mode page

CF 74021

Ce nouveau circuit à réseau logique est une extension et une amélioration sensible du gate array principal utilisé dans le TO9. A lui seul, il assure en effet:

- La distribution des signaux nécessaires à l'interface vidéo
- Les décodages d'adresses
- Les huit modes d'affichages
- Une nouvelle gestion des mémoires vives, dont le "mode page"
- Un fonctionnement polyvalent de commutation, d'adaptation et de changement de caractéristiques pour divers systèmes.

Définition du mode page

Dans le TO9, le gate array système est conçu de telle sorte que lorsque le CPU travaille dans la mémoire écran, son accès est dirigé, soit vers la RAMA (mémoire points ou forme), soit vers la RAMB (mémoire couleur) en fonction du bit de forme. Les circuits d'exploitation automatique (automate) de la mémoire écran permettent, quant à eux, la lecture **simultanée** des deux RAMS. Cette lecture est indépendante du bit de forme, afin de pouvoir élaborer en temps réel l'intégralité des signaux de visualisation destinés au tube cathodique d'affichage.

Pour chaque groupe de huit pixels ou GPL affichés à l'écran, la circuiterie vidéo doit lire 16 bits en mémoire: 8 bits pour l'octet "RAMA" et 8 bits pour l'octet "RAMB". Jusqu'à maintenant, cette lecture devait se faire en une seule fois, sur 16 bits, ce qui imposait à la mémoire écran, d'être organisée en deux bancs de 8 bits, alors que tout le reste de la mémoire système est sur un octet seulement. Cette organisation "irrégulière" n'est pas optimale économiquement et n'est pas favorable à l'utilisation des boîtiers mémoire dynamiques $N \times 1$ bits qui sont pourtant les plus répandus.

Afin de pallier cet inconvénient, le nouveau gate array dénommé "mode page" utilise un automate qui remplace l'accès 16 bits à la mémoire écran par deux accès successifs très rapides et qui totalisent la même durée que l'ancien accès 16 bits.

Cette technique est rendue possible grâce à un mode d'adressage particulier des mémoires dynamiques: le mode page. Dans ce type de fonctionnement, plusieurs

cases mémoires du composant peuvent être lues en séquence, à condition que ces cases appartiennent toutes à la même rangée ou ligne de la matrice interne.

Ainsi pour une adresse poids faible constante et un signal RASN à l'état bas, deux accès sont possibles pour deux adresses poids fort différentes en corrélation avec deux fronts descendants du signal CASN.

Cette nouvelle structure implique donc une organisation nouvelle de la mémoire écran pour que les octets "RAMA" et "RAMB" soient accessibles en mode page. Evidemment, vu du logiciel, l'agencement de l'écran doit rester compatible avec les systèmes précédents, c'est-à-dire que le bit de forme doit toujours permettre de rendre l'accès du CPU, soit à la mémoire "écran A" soit à la mémoire "écran B".

Gestion de la mémoire vive

Cette nouvelle version du gate permet de surcroît de gérer une quantité de RAM bien supérieure à celle implicitement contenue dans la carte mémoire. Ainsi est-il possible d'exploiter jusqu'à 512 Ko de mémoire vive par page de 16 Ko. Le numéro de page peut être choisi par programmation.

De même ces pages "physiques" peuvent être affectées à plusieurs espaces "logiques" du système, tels que l'espace "cartouche", l'espace "écran" et l'espace "données" (cf. gate array mode page dans le TO8, page 117).

D'un façon indépendante et de par une organisation très souple, un simple changement de programmation dans des registres rend possible l'adaptation du gate array mode page à diverses unités centrales (TO8, TO9+, MO6, MO5NR). De la même manière, divers types de mémoires dynamiques peuvent être câblés (4416, 4464, 4164, 41128, 41256 ou 44256).

Structure du circuit

La figure 19 schématise la structure interne du circuit à réseau logique prédiffusé. On y distingue:

- Le décodeur d'adresses sollicité par le bus d'adresses du microprocesseur A15 - A0.
- Le module des modes d'affichage avec ses deux registres programmables et son électronique en partie identique à ceux du gate array "mode d'affichage" dans le TO9. Conformément au mécanisme du "mode page", dans ce module le transcodeur est attaqué en deux accès de huit bits, en remplacement de l'ancien accès 16 bits RAMA RAMB. (Cf. analyse matérielle du TO9, p. 54.)

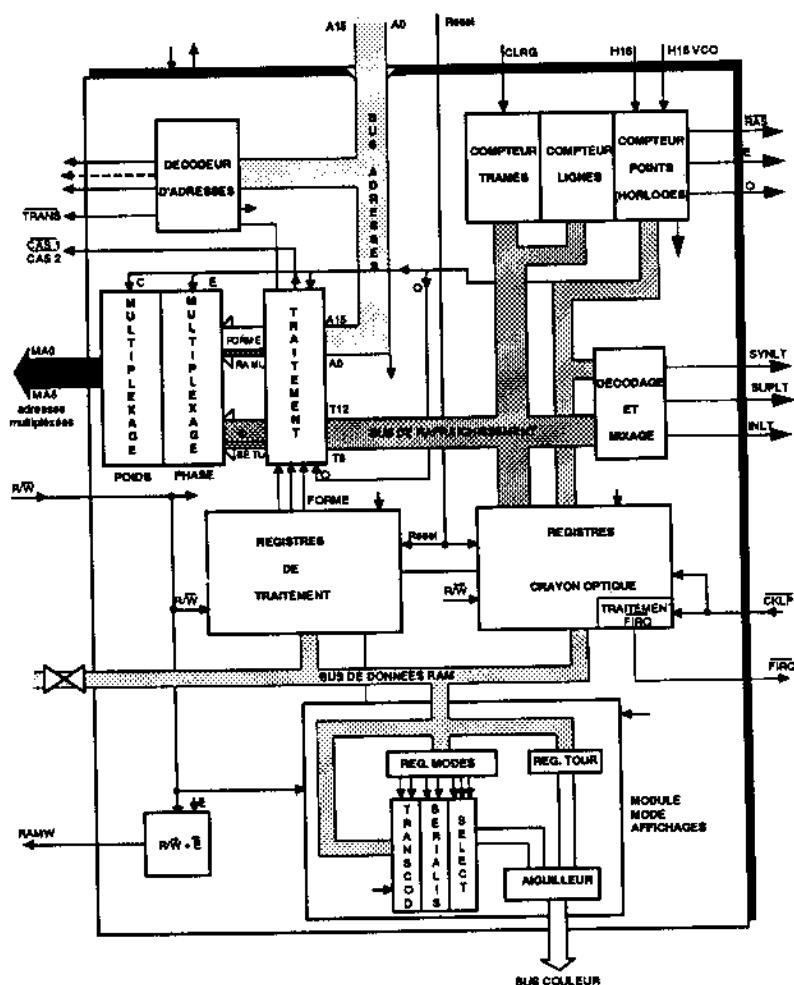


Figure 19. Synoptique du gate array mode page

- Le bus couleur en sortie du module.
- Un circuit de génération RAMW (en logique câblée dans le TO9), combinaison de R/WN et E, afin de forcer une lecture automatique des mémoires vives pendant la phase non active du CPU, selon l'équation :

$$RAMW = R / \overline{W} + \overline{E}$$

Comme pour le TO9, (cf. étude matérielle, p. 48) on reconnaît l'automate constitué:

- des compteurs points (avec C, RASN, E et Q),

- des compteurs ligne et trame, (pilotés par H16 et CLRG),
- et du bus de rafraîchissement T12 - T0 correspondant.

H16 VCO est une nouvelle commande de remise en phase (cf. incrustation).

- Les circuits de décodage et mixage délivrant les signaux vidéo SYNLT, SUPLT et INLT.

- Un système de registre pour le crayon optique quelque peu modifié dans son exploitation et permettant notamment le contrôle de FIRQN anciennement assuré par un PIA.

- Un double circuit de multiplexeurs commutant d'une façon classique les adresses CPU ou les adresses compteurs (phase du CPU en fonction de E); commutant en matricage ligne et colonne (poids faible, poids fort en fonction de C); le tout, par l'intermédiaire du bus de neuf bits MA0-MA8 destiné aux mémoires vives.

En fait, un traitement ou aiguillage de signaux est effectué avant multiplexage. Cette action définit, entre autres, la génération des signaux CAS1N, CAS2N. Elle dépend de registres, dits de traitement, et programmables à souhait. C'est par là-même que réside l'originalité et la grande nouveauté du composant, voire du micro-ordinateur.

Traitement des signaux multiplexés

Les signaux multiplexés délivrés sur le bus MA8 - MA0 répondent au diagramme suivant:

		E = 1 C = 1	E = 1 C = 0	E = 0 C = 1	E = 0 C = 0	
		↓	↓	↓	↙ ↘	
MA0 - 7	⇒	A0	RA15	T0	BE1	BE1
MA1 - 8	⇒	A1	MU8	T1	TU8	TU8
MA2 - 9	⇒	A2	A9	T2	T9	T9
MA3 - 10	⇒	A3	A10	T3	T10	T10
MA4 - 11	⇒	A4	A11	T4	T11	T11
MA5 - 12	⇒	A5	A12	T5	T12	T12
MA6 - 13	⇒	A6	RA13	T6	Q = 0	Q = 1
MA7 - 14	⇒	A7	RA14	T7	BE0	BE0
MA8 - 15	⇒	MU16	RA17	T8	0	0
		ligne	colonne	ligne	col.1	col.2

On voit apparaître selon les commandes d'horloge interne :

Pour: - E = 1 (phase active du CPU)
- C = 1 (adresses RAM lignes)

A7-A0 = adresses poids faible du CPU; MU16 représentant soit A8, soit les bits de commutation de banques BC2 ou BD2.

Pour: - E = 1 (phase active du CPU)
- C = 0 (adresses RAM colonnes)

A9-A12 = adresses poids fort du CPU;
RA13 = soit A13, soit le bit de forme;
RA14 = soit A14, soit les commutations de banques BC0 ou BD0;
RA15 = les commutations de banques BC1 ou BD1;
MU8 = soit les bits de commutation de banques BC2 ou BD2,
soit A8; MU8 = MU16 en commutation inverse;
RA17 = les commutations de banques BC3 ou BD3.

Pour: - E = 0 (phase non active du CPU)
- C = 1 (adresses RAM lignes)

T0-T8 = adresses poids faible des compteurs.

Pour: - E = 0 (phase non active du CPU)
- C = 0 (adresses RAM colonnes)

T9-T12 = adresses poids fort des compteurs;
TU8 = soit T8, soit "0";
BE0, BE1;
Q;
"0".

On notera que pour la condition E = 0, le système permet deux accès RAM, validés par deux fronts descendants de CASN (cf. gestion des mémoires vives) avec RASN à l'état 0. La différence d'adressage est représentée par l'état de Q qui, compte tenu du timing (quadrature avec E), délivre pendant la condition présente l'état 0 et l'état 1.

Q est en position de poids 13, ce qui représente une variation ou saut d'adresse de $2^{13} = 8$ Ko, les autres bits restant inchangés. Ainsi, quelle que soit l'adresse pointée, il existe systématiquement deux accès dans deux pages de 8 Ko conjointes. Ces deux pages sont concrétisées par la RAMA et la RAMB.

Cette procédure réalise l'adressage automatique en mode page. On notera aussi que les signaux du type MU, TU, RA représentent des choix de commande imposés par programmation dans le registre de traitement afin de rendre compatible, comme nous l'avons précisé précédemment, le gate array avec le type de mémoires dynamiques et le micro-ordinateur choisis.

BC, BD, BE et le bit de forme, quant à eux, sont des états directement programmables dans les registres de traitement, pour les commutations de banque, voire de page.

Ainsi:

- BC3, BC2, BC1, BC0 fixent le choix d'une banque de 16 Ko parmi 16 banques, pour recouvrir l'espace "cartouche".
- BD3, BD2, BD1, BD0 fixent le choix d'une banque de 16 Ko parmi 16 banques pour recouvrir l'espace "données".
- BE1, BE0 fixent le choix d'une banque de 8 Ko parmi 4 banques, pour recouvrir l'espace "écran".

Les registres de traitement

En dehors de la gestion des mémoires vives, ces circuits offrent, en relation avec les horloges et les décodages d'adresses, des possibilités multiples d'adaptation et de changement de caractéristiques selon les machines à concevoir, sans oublier pour autant la compatibilité avec les anciennes versions.

Ces registres sont accessibles à des adresses bien particulières et par la commande du microprocesseur R/WN. Les adresses sont fondamentalement différentes selon que le composant travaille avec une unité centrale TO ou MO. La différence joue sur le digit hexadécimal de poids fort.

Ainsi: Digit de poids fort = A en version MO

Digit de poids fort = E en version TO

Description et programmation des registres accessibles en écriture

- Registre "système 1" - adresse A7E7/E7E7

Organisation:

D7 - bit de choix de l'utilisation du contrôleur de disque interne ou externe. En mode TO uniquement, ce bit a une influence sur les décodages d'adresses.

D7 = 0 \Rightarrow contrôleur interne
D7 = 1 \Rightarrow contrôleur externe

D6 – bit de gestion RAM dans l'espace cartouche.

D6 = 0 \Rightarrow mode compatible nanoréseau
D6 = 1 \Rightarrow gestion par registre interne "cartouche" A7E6/E7E6.

D5 – bit de standard d'affichage

D5 = 0 \Rightarrow 624 lignes (France)
D5 = 1 \Rightarrow 524 lignes (Export).

D4 – bit de gestion RAM dans l'espace "données".

D4 = 0 \Rightarrow gestion par bit de PIA (émulation)
D4 = 1 \Rightarrow gestion par registre interne: autorise l'écriture dans le registre "RAM données" en A7E5/E7E5.

D3 et D2 – bits de choix du type d'ordinateur.

D3 = 0 D2 = 0 \Rightarrow MO
D3 = 0 D2 = 1 \Rightarrow TO9
D3 = 1 D2 = 1 \Rightarrow TO

D1 et D0 – bits de choix de la RAM dynamique

D1 = 0 D0 = 0 \Rightarrow 256 K \times 1 bit
 \Rightarrow 256 K \times 4 bits
D1 = 1 D0 = 0 \Rightarrow 128 K \times 1 bit
D1 = 1 D0 = 1 \Rightarrow 64 K \times 4 bits

• Registre "système 2" - adresse A7DD/E7DD

Ce registre est une combinaison de l'électronique de traitement et du registre définissant la couleur du tour ou cadre dans le module d'affichage.

Organisation:

D7 et D6 – bits indiquant le numéro de page physique à afficher sur l'écran (de 0 à 3 en binaire naturel).

Avec $\left. \begin{array}{l} D7 = BE1 \\ D6 = BE0 \end{array} \right\}$ cf. diagramme précédent page 108

D5 – bit pour masquer la cartouche, utilisable uniquement en mode MO.

D5 = 0 \Rightarrow cartouche visible

D5 = 1 \Rightarrow cartouche masquée.

D4 – bit du BASIC à sélectionner, utilisable uniquement en mode MO.

D4 = 0 \Rightarrow BASIC 1

D4 = 1 \Rightarrow BASIC 128

D3, D2, D1, D0 – bits de la couleur du tour (cf. affichage).

• Registre "RAM données" - adresse A7E5/E7E5

Ce registre n'est accessible en écriture que si le bit D4 du registre "système 1" est écrit à 1.

Organisation:

D7 – bit d'autorisation d'accès au registre d'affichage en A7DC/E7DC en mode contrôleur de disque externe sélectionné (D7 de A7E7/E7E7 écrit à 1).

D7 = 0 \Rightarrow écriture autorisée

D7 = 1 \Rightarrow écriture inhibée.

Le rôle de ce bit est dû au fait d'un risque de conflit, à l'adresse A7DC/E7DC, avec un éventuel contrôleur externe de QDD qui décode lui aussi cet octet.

D6 = 0

D5 = 0

D4, D3, D2, D1, D0 – bits définissant le numéro de page RAM utilisée dans l'espace "RAM données" (de 0 à 31 en binaire naturel).

Avec :

D4 = Commutation de CASN

D4 = 0 \Rightarrow CAS1N valide

D4 = 1 \Rightarrow CAS2N valide

D3 = BD3

D2 = BD2

D1 = BD1

D0 = BD0

} cf. diagramme précédent, page 108

Ainsi, en mode gestion de l'espace "RAM données", D4-D0 donne le numéro de page physique de 16 Ko à affecter à l'espace logique.

• Registre "cartouche" adresse A7E6/E7E6

Organisation:

D7 = 0

D6 – bit de protection en écriture dans la page de RAM sélectionnée lorsque l'espace cartouche est recouvert par cette même page de RAM (D5 = 1).

D6 = 0 \Rightarrow écriture impossible

D6 = 1 \Rightarrow écriture autorisée.

D5 – bit de sélection de l'espace cartouche.

D5 = 0 \Rightarrow l'espace cartouche n'est pas recouvert par de la RAM.

D5 = 1 \Rightarrow l'espace cartouche est recouvert par une page de RAM dont le numéro est donné par D4-D0.

D4, D3, D2, D1, D0 – bits définissant le numéro de page RAM utilisée dans l'espace cartouche (de 0 à 31 en binaire naturel).

Avec :

D4 = Commutation de CAS.

D4 = 0 \Rightarrow CAS1N valide

D4 = 1 \Rightarrow CAS2N valide.

$\left. \begin{array}{l} D3 = BC3 \\ D2 = BC2 \\ D1 = BC1 \\ D0 = BC0 \end{array} \right\} \text{ cf. diagramme précédent, page 108}$

Ainsi, en mode de gestion de l'espace cartouche, D4-D0 donne le numéro de page physique de 16 Ko à affecter à l'espace logique correspondant.

• Registres "d'émulation"

Ces registres viennent remplacer, pour D4 du registre système 1 = 0, l'action dévolue aux PIA (6846, 6821) des unités centrales TO7/70, TO9, MO5, par la commutation du bit de forme et des banques. Réagissant aux mêmes adresses, ils sont ainsi parfaitement transparents pour l'utilisateur. Ils assurent une compatibilité totale dans l'emploi des anciens logiciels.

- Registre de commutation "lecture traitement/crayon optique" adresse A7E4/E7E4.

Ce registre est un peu particulier et ne rentre pas dans la catégorie des registres susnommés. Il est en effet destiné selon l'écriture du bit D0 à aiguiller, pour des adresses semblables, la lecture de certains registres de traitement ou des registres crayon optique (latch).

Ainsi:

D0 = 0 \Rightarrow sélection des registres de traitement (lecture)

D0 = 1 \Rightarrow sélection des registres du crayon optique (lecture).

Description des registres accessibles en lecture pour D0 = 0 (A7E4/E7E4)

Excepté le registre "système 1", les registres de traitement, étudiés en écriture sont lisibles en entier ou partiellement, à des adresses différentes ou semblables.

- Registre "système 2" - adresse A7E4/E7E4

Il permet une relecture partielle du registre écrit en A7DD/E7DD.

Organisation:

D7 et D6 – bits indiquant le numéro de page physique affichée sur l'écran (de 0 à 3 en binaire naturel).

D5 – bit de masquage cartouche en mode MO.

D4 – bit de sélection du BASIC en mode MO.

Les bits D3, D2, D1, D0 sont à zéro.

- Registre "RAM données" - adresse A7E5/E7E5

Il permet la relecture du numéro de la page RAM, imposé en écriture, dans l'espace "données".

D7, D6, D5 sont à l'état "0".

- Registre "cartouche" - adresse A7E6/E7E6

C'est le seul registre permettant une relecture complète des bits positionnés pendant la phase d'écriture à la même adresse A7E6/E7E6. Il permet notamment

la relecture du numéro de page RAM, imposé en écriture, dans l'espace cartouche.

Description des registres accessibles en lecture pour D0 = 1 (A7E4/E7E4)

Il s'agit de quatre registres semblables à ceux du gate array système dans le TO9.

- Registre "crayon optique 1" - adresse A7E4/E7E4

Organisation:

D7 = T12	}	Avec T12 - T5, 8 bits de poids fort du compteur trame.
D6 = T11		
D5 = T10		
D4 = T9		
D3 = T8		
D2 = T7		
D1 = T6		
D0 = T5		

- Registre "crayon optique 2" - adresse A7E5/E7E5

Organisation:

D7 = T4	}	Avec T4-T0, 5 bits de poids faible du compteur trame.
D6 = T3		
D5 = T2		
D4 = T1		
D3 = T0		
D2 = E	}	Avec E-H4, bits du compteur point.
D1 = H2		
D0 = H4		

- Registre "crayon optique 3" - adresse A7E6/E7E6

Organisation:

D7 – Bit significatif quand D6 = 0, c'est-à-dire, quand le spot est situé dans les bords droit ou gauche de l'écran.

D7 = 0 \Rightarrow spot situé dans la partie gauche du cadre.

D7 = 1 \Rightarrow spot situé dans la partie droite du cadre.

D6 – Bit latché de situation fenêtre cadre en ligne (INILN).

D6 = 0 \Rightarrow spot situé dans le cadre à gauche ou à droite.

D6 = 1 \Rightarrow spot situé dans la partie horizontale de la fenêtre de travail.

Cette valeur est latchée au moment de l'interruption de lecture crayon optique.

D5, D4, D3, D2, D1, D0 sont à l'état "0".

• Registre "crayon optique 4" - adresse A7E7 E7E7

Note: La lecture de ce registre est indépendante de l'état du bit D0 (A7E4/E7E4), ce qui le rend toujours accessible.

Organisation:

D7 – bit instantané de situation fenêtre cadre en trame (INITN)

D7 = 0 \Rightarrow spot situé dans le cadre en haut ou en bas.

D7 = 1 \Rightarrow spot situé dans la partie verticale de la fenêtre de travail.

D6 – Bit latché de situation fenêtre cadre en trame (INITN).

D6 = 0 \Rightarrow spot situé dans le cadre en haut ou en bas.

D6 = 1 \Rightarrow spot situé dans la partie verticale de la fenêtre de travail.

D5 – bit instantané de situation fenêtre cadre en ligne (INILN)

D5 = 0 \Rightarrow spot situé dans le cadre à gauche ou à droite.

D5 = 1 \Rightarrow spot situé dans la partie horizontale de la fenêtre de travail.

D4, D3, D2 sont à l'état "0".

D1 – bit de flag ou drapeau d'interruption de la demande FIRQN.

D1 = 0 \Rightarrow pas de demande.

D1 = 1 \Rightarrow une interruption a été générée.

D0 – bit de copie de D0 écrit en A7E4.E7E4 permettant de savoir quel type de registre est commuté en lecture. Ce bit est toujours accessible.

D0 = 0 \Rightarrow registres de traitement.

D0 = 1 \Rightarrow registres de crayon optique.

6. Le gate array "mode page" dans le TO8

Afin de procurer l'adaptation nécessaire à l'unité centrale, certains bits des registres de traitement "système 1" doivent être verrouillés dans un état bien particulier. La description suivante met en relief les bits nécessairement "figés" pour la configuration TO8, par rapport aux bits "X" commutables selon les fonctions ou standard à réaliser.

Organisation du registre de traitement "système 1" en écriture - adresse E7E7

X	X	X	X	0	1	0	0
				<u>type</u>		<u>RAM</u>	
				d'ordinateur		256 K × 1bit	

Ces conditions entraînent plus particulièrement:

MU16 = A8
MU8 = BC2,BD2
TU8 = 0

Les autres registres gardent la structure telle qu'elle est décrite dans le chapitre précédent, selon le répertoire suivant:

Adresse	R/W	Type de registre
E7E4	0	commutation ou système 2
E7E4	1	crayon optique 1
E7E5	0	RAM données
E7E5	1	crayon optique 2
E7E6	0	espace cartouche
E7E6	1	crayon optique 3
E7E7	0	système 1
E7E7	1	crayon optique 4
E7DD	0	système 2
E7DD	1	affichage

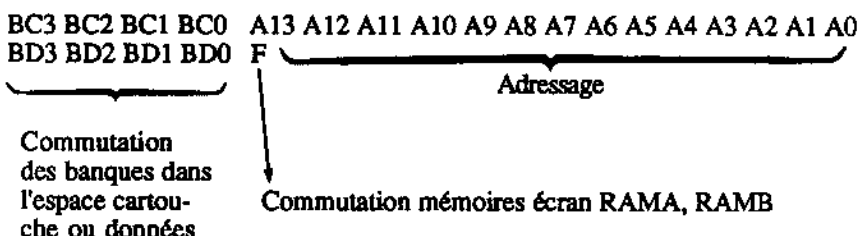
Diagramme des signaux multiplexés

Les conditions précédemment exposées déterminent le diagramme suivant:

A0	BC1,BD1	T0	BE1	BE1
A1	BC2,BD2	T1	0	0
A2	A9	T2	T9	T9
A3	A10	T3	T10	T10
A4	A11	T4	T11	T11
A5	A12	T5	T12	T12
A6	A13, forme	T6	Q = 0	Q = 1
A7	BC0, BD0	T7	BE0	BE0
A8	BC3, BD3	T8	0	0
Ligne	Colonne	Ligne	Col.1	Col.2

Les éléments de ce diagramme sont à considérer dans l'ordre des poids respectifs selon la forme:

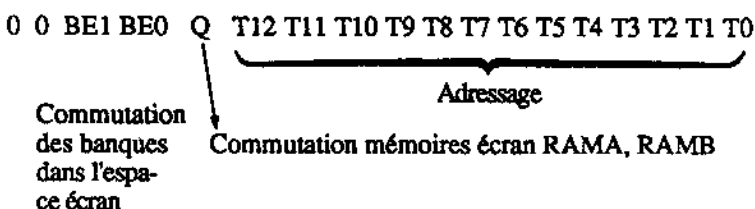
Pour l'adressage CPU:



Il convient de rappeler que le bit D4 dans le registre "RAM données" et dans le registre "espace cartouche", de par sa position, joue indirectement le rôle d'un dix-neuvième bit d'adressage par le truchement de CAS1N et CAS2N.

De par ce fait, on peut donc considérer que le système est capable d'adresser un plan mémoire de 512 Ko constitué lui-même de deux plans mémoires de 41256 (résident et extension) et dont les adresses iraient de 00000 à 3FFFF pour D4 = 0, soit CAS1N = 0 et de 40000 à 7FFFF pour D4 = 1, soit CAS2N = 0.

Pour l'adressage de rafraîchissement ou compteurs:



On désigne ce type d'adressage comme provenant d'un automate.

Association entre adressage logique et adressage physique

Pour des raisons de compatibilité évidente, nous savons que l'ensemble du système, vu du logiciel, conduit à la détermination de quatre espaces d'adressage logique distincts:

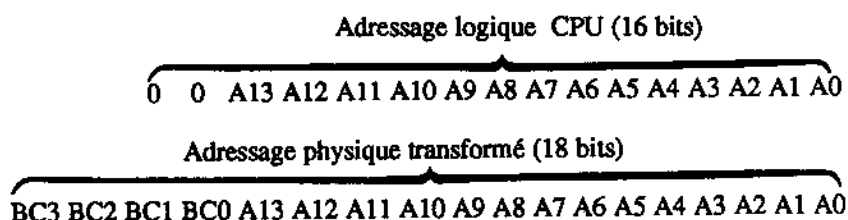
l'espace "cartouche"
l'espace "écran" (page 0)
l'espace "système" (page 1 fixe)
l'espace "données" (pages des banques).

De par la programmation du gate array et la transformation de l'adressage résultant sur le bus multiplexé MA8-MA0, une page physique, c'est-à-dire 16 Ko d'un plan mémoire 41256, peut être affecté à un espace logique donné. Le comportement individuel de chacun des espaces logiques est spécifié dans ce qui suit (cf. figure 20 page suivante).

Espace "cartouche"

Cet espace situé entre 0000 et 3FFF contient normalement de la ROM sous forme de mémoire interne (BASIC 1, BASIC 512) ou de mémoire externe (cartouche). Il est néanmoins possible d'affecter une page de mémoire vive à cet espace logique (recouvrement) en mettant le bit D5 du registre gate array (E7E6) à l'état 1. Dans ces conditions, CSCRTN est dévalidé et les 41256 reçoivent CAS1N ou CAS2N. (cf. gestion de la mémoire morte, page 96).

La correspondance entre l'adressage CPU et l'adressage multiplexé est immédiate pour les bits A0 à A13. Elle se présente sous la forme suivante:



L'adressage transformé permet un recouvrement par une des 16 pages d'adresses de 00000 à 3FFFF pour CAS1N = 0 du plan mémoire résident et, par 16 pages d'adresses de 00000 à 3FFFF pour CAS2N = 0, du plan mémoire extension.

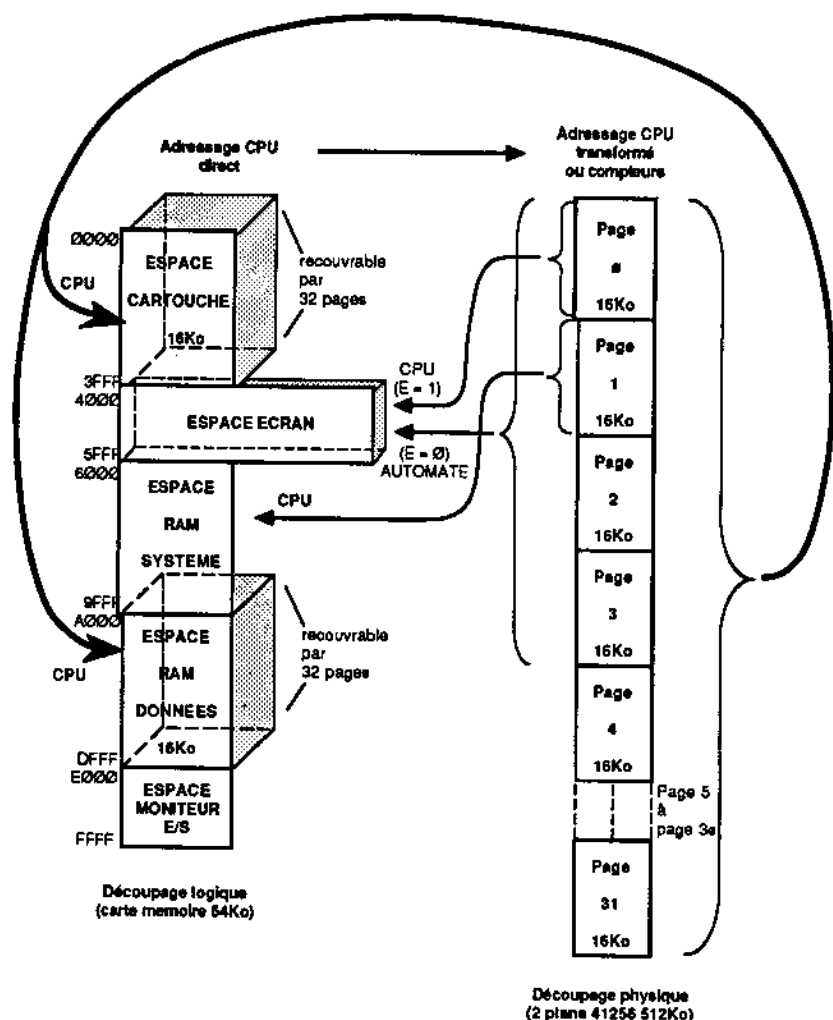


Figure 20. Association des espaces logiques/physiques

Espace "écran"

Cet espace, situé entre 4000 et 5FFF, contient deux banques de 8 Ko (RAMA ou mémoire point, RAMB ou mémoire couleur) utilisées par l'automate pour synthétiser l'image affichée. Par défaut, c'est la page 0 qui est affichée, mais il est possible de demander à l'automate d'afficher les pages 1, 2 ou 3.

Le principe est le suivant:

- Après un RESET, une mise sous tension ou si les bits D7, D6 du registre situé en E7DD sont tous les deux à 0, c'est la page physique 0 qui est affichée à l'écran. La façon dont les données sont interprétées par l'automate d'affichage dépend alors du mode choisi.
- En reprogrammant les bits D7 et D6 de E7DD, on peut afficher les pages physiques 1, 2 ou 3. Si on demande l'affichage de la page 1, c'est le contenu de la RAM "système" qui apparaîtra à l'écran. Ce contenu ayant peu d'intérêt, ce sont surtout les pages 2 et 3 qui seront utilisables.
- Lorsque le CPU accède à l'espace logique d'écran, c'est toujours la page physique 0 qui est adressée, même si l'automate d'affichage utilise une autre page. Dans l'espace logique d'écran, le CPU utilise le bit "FORME" pour travailler dans la mémoire RAMA (point) ou RAMB (couleur), de par la programmation en émulation du bit D0 en E7C3.
- Si le CPU veut accéder aux pages 2 et 3 en les considérant comme des écrans, il doit les affecter à son espace RAM "données" afin de pouvoir les lire ou les écrire. Dans ce cas, on doit considérer que la mémoire RAMA (point) se trouve aux adresses hautes de la page, tandis que les adresses basses contiennent les informations RAMB (couleurs); en effet, le bit FORME traditionnel est inopérant dans l'espace "données".
- La page affichée par l'automate peut être en même temps affectée à l'espace "données", voire à l'espace "cartouche". De par le principe énoncé, si on veut par exemple afficher la page 2, dans laquelle le CPU puisse faire une mise à jour, il faudra nécessairement affecter la page 2 à l'espace RAM "données" qui sera considérée alors comme la nouvelle mémoire écran; et demander à l'automate d'afficher la page 2, en programmant les bits D7 D6 en E7DD respectivement à 1 et 0.

Espace "système"

Cet espace logique situé entre 6000 et 9FFF contient les informations vitales à l'unité centrale, telle que la page 0 du moniteur. Cet espace n'est pas reconfigurable, on dit qu'il est fixe. C'est la page physique 1 du plan mémoire 41256 qui y est constamment affectée. Aucun registre ne permet de reprogrammer cet espace.

Espace "données"

Cet espace logique est situé entre A000 et DFFF. Sur TO9 et sur TO7/70 cet espace était géré en "bank switch" à l'aide des bits de PIA qui permettaient de choisir une page physique de 16 Ko parmi six. Toujours pour des raisons de

compatibilité, cette technique est ici totalement émulée par le gate array mode page. L'écriture et la lecture des cinq bits de PIA se font identiquement. Pour obtenir cette émulation, il faut que le bit D4 du registre E7E7 soit mis à 0. Ceci est obtenu par défaut au RESET et à la mise sous tension.

Nous savons qu'un deuxième mode est disponible en mettant à 1 le bit D4 de E7E7. Dans ce mode, il suffit d'écrire le numéro (de 0 à 31) de la page physique souhaitée, par les bits D4-D0 du registre E7E5, pour que la page concernée soit affectée à l'espace "données". Ainsi la gestion de la mémoire s'en trouve simplifiée puisqu'une simple écriture de numéro de page suffit à effectuer le recouvrement. La correspondance entre l'adressage CPU et l'adressage multiplexé est immédiate pour les bits A0 à A13. Elle se présente sous la forme suivante:

Adressage logique CPU (16 bits)

1	0														
1	0														
1	1	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1														

Adressage physique transformé (13 bits)

BD3 BD2 BD1 BD0 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0

Comme pour l'espace cartouche, l'adressage transformé permet le recouvrement des deux plans mémoire de $256 + 256 = 512$ Ko par l'intermédiaire du CAS1N et CAS2N en relation avec le bit D4. Il faut noter cependant que de par la transposition schématisée ci-avant, il existe une distorsion entre les deux adressages qui se manifeste dans le champ A15-A12. Ainsi, en prenant par exemple un recouvrement par la page 2:

BD3 = 0 BD2 = 0 BD1 = 1 BD0 = 0,

la transposition devient:

Adressage logique					Adressage physique				
A15	A14	A13	A12	...	BD1	BD0	A13	A12	...
1	0	1	0	...	1	0	1	0	...
1	0	1	1	...	1	0	1	1	...
1	1	0	0	...	1	0	0	0	...
1	1	0	1	...	1	0	0	1	...

On traduit ce phénomène par un découpage en tranches de 4 Ko, exprimé par le tableau suivant, selon la valeur de A13, A12:

Adresse logique	Adresse physique
A000-AFFF	3 ^{ème} tranche de 4 Ko
B000-BFFF	4 ^{ème} tranche de 4 Ko
C000-CFFF	1 ^{ère} tranche de 4 Ko
D000-DFFF	2 ^{ème} tranche de 4 Ko

Cette transposition n'a pas d'importance tant que l'on ne transfère pas d'information de l'espace "données" vers les autres espaces. Si on opère des transferts, il faut alors tenir compte des correspondances.

Par déduction, la correspondance entre espace "cartouche" et espace "données" est la suivante:

Espace "données"	Espace "cartouche"
A000-AFFF	2000-2FFF
B000-BFFF	3000-3FFF
C000-CFFF	0000-0FFF
D000-DFFF	1000-1FFF

De même, la correspondance entre espace "données" et espace "écran" est telle que:

Espace "données"	Espace "écran"
A000-BFFF	RAMB
C000-DFFF	RAMA

La correspondance entre espace "cartouche" et espace "écran" est donc quant à elle:

Espace "cartouche"	Espace "écran"
0000-1FFF	RAMA
2000-3FFF	RAMB

On notera pour terminer que les six pages accessibles par bits de PIA, selon l'ancien mécanisme, correspondent aux pages 2 à 7 selon le nouveau système.

On en déduit:

Ancien système banque	Nouveau système page
0	2
1	3
2	4
3	5
4	6
5	7

Au RESET, la gestion par bits de PIA étant prise par défaut, c'est la page physique 2 qui est affectée à l'espace RAM "données".

Gestion de l'affichage

La procédure d'affichage sur l'écran est sensiblement identique à celle du TO9 (cf. étude matérielle du TO9, page 54). Le gate array mode page intègre la totalité de la circuiterie vidéo capable de gérer les différents modes d'affichage connus sur le TO9. Il est prévu pour piloter directement une palette externe.

Selon les modes d'affichage, les couleurs imposées en configuration de base diffèrent de celles connues sur le TO9. Le bit S (saturation) est notamment remplacé par le bit P (pastel).

En dehors du bit D5 du registre "système 1" en E7E7 qui permet de définir le standard 624 lignes (système européen) ou 524 lignes (système NTSC), un registre spécial appelé registre "affichage", situé en E7DC, contient les bits de programmation essentiels de l'affichage.

Ce registre d'affichage est identique à celui du TO9 (cf. système de visualisation du TO9) et, de la même manière, permet de décider:

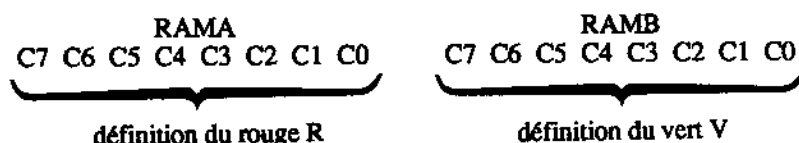
- du mode d'affichage
- de la fréquence pixel
- de l'organisation relative des bits à l'intérieur des données vidéo extraites de la mémoire.

Cette procédure est récapitulée par le tableau suivant:

Mode	D7 0	D6 T1	D5 T0	D4 Φ1	D3 Φ0	D2 C	D1 B	D0 A
TO7	0	0	0	0	0	0	0	0
bit map 4	0	0	1	0	0	0	0	1
bit map 4 spécial	0	1	0	0	0	0	0	1
80 colonnes	0	0	1	0	1	0	1	0
bit map 16	0	1	1	1	1	0	1	1
page 1	0	0	1	0	0	1	0	0
page 2	0	0	1	0	0	1	0	1
surimpression	0	0	1	0	0	1	1	0
triple surimpression	0	0	1	1	1	1	1	1
	organ.			fréq. pixel		mode		

La consultation de ce tableau permet de voir qu'il existe un neuvième mode d'affichage non utilisé sur le TO9, le **mode bit map 4 couleurs spécial**. Le schéma de codage et transcodage en RAM est le suivant:

Mode bit map 4 (rappel)



Après transcodage ==> mode bit map 4 spécial:



Dans ce type de codage, un point est représenté par deux bits consécutifs du même octet. Cette organisation présente un intérêt pour certaines routines graphiques; toutefois, il faut noter qu'elle n'est pas employée par les routines du moniteur.

Gestion des couleurs du cadre

La couleur du tour de l'écran est programmable directement par le registre "système 2" en E7DD, par les bits D3 à D0, selon une organisation semblable à celle du TO9, exception faite pour le bit S (saturation) qui devient P (pastel).

D3	D2	D1	D0
P	B	V	R

Les décodages d'adresses

Le gate array mode page génère directement un certain nombre de signaux destinés à sélectionner les différents ROMS et périphériques. Ce sont:

CSMN = sélection de l'espace moniteur
CSCRTN = sélection de l'espace cartouche
CS32 = sélection de 32 octets (FFD0-FFEF)
E7CXN = sélection de la zone des 6821 et 6846
CSPALN = sélection de la palette
EXXXN = sélection périphériques externes
DISN = sélection du contrôleur disque (E7D0 à E7D9)

Les signaux CS32, E7CXN, CSPALN sont décodés par une simple logique combinatoire et sont toujours valides. Les autres signaux dépendent de la programmation de certains registres et leur comportement est détaillé ci-après.

Sélection de l'espace moniteur CSMN

Le moniteur système du TO8 est situé de l'adresse E800 à FFFF. L'espace utilisé par le moniteur du drive (floppy ou QDD) est placé de E000 à E7AF. Les deux moniteurs faisant partie intégrante d'une même ROM, c'est le même signal qui est validé sur l'ensemble :

[E000 - E7AF] U [E800 - FFFF].

Par ailleurs, il est possible en programmant le bit D7 du registre "système 1" en E7E7 à l'état 1, d'installer un contrôleur de mémoire de masse externe. Dans ce cas de figure, CSMN n'est plus validé de E000 à E7AF.

Il est à signaler que l'espace moniteur contient un "trou" de 32 octets situé en FFD0 et FFEF qui sont réservés aux décodages d'extensions futures (rôle de CS32 en relation avec le connecteur extension). Dans cet espace, CSMN = 1.

Sélection de l'espace cartouche CSCRTN

L'espace logique réservé aux logiciels externes (cartouche) ou interne s'étend de 0000 à 3FFF. Il peut être recouvert par de la RAM en positionnant le bit D5 du registre "espace cartouche" à l'état 1. Dans ce cas, CSCRTN qui est normalement validé passe à l'état 1, supprimant, par là-même, toute communication avec les ROMS.

Sélection de la zone des périphériques externes EXXXN

Le signal EXXXN sort du gate array "mode page" pour aller vers les connecteurs d'extensions de l'unité centrale où il est utilisé par les périphériques pour leur décodage.

Il permet, entre autre, d'effectuer un prédécodage d'adresses dans le cas où l'utilisateur désire se fabriquer sa propre extension. Ce dernier devra alors impérativement loger son interface dans l'espace mémoire E7B0 à E7BF.

Comme dans le TO8, un bon nombre d'adresses correspondant à la zone EXXX sont déjà exploitées, il faut donc que le signal correspondant soit non valide quand il y a risque de conflit entre un périphérique extérieur et l'unité centrale.

Les possibilités de conflit diffèrent selon l'utilisation ou non d'un contrôleur externe.

En utilisation normale (D7 du registre "système 1" = 0), EXXXN est invalidé sur l'ensemble:

[E000 - E7AF] U [E7D0 - E7D9].

En utilisation d'un contrôleur externe (D7 = 1), EXXXN reste valide à ces endroits.

De même, une souplesse de programmation est laissée pour l'octet E7DC qui peut être à la fois employé en temps que registre d'affichage ou par un contrôleur externe de QDD.

Si le bit D7 du registre "données" en E7E5 est écrit à 0, alors EXXXN n'est pas valide à l'adresse E7DC; sinon EXXXN reste valide à l'adresse E7DC mais on ne peut plus accéder au registre d'affichage.

L'ensemble des adresses [E7DA - E7DB] U [E7DD - E7DF] invalide toujours le signal EXXXN car elles correspondent à la palette et certains registres protégés.

Sélection du contrôleur du DRIVE DISN

Ce signal n'est valide sur [E7D0 - E7D9] que si le bit D7 du registre "système 1" (E7E7) = 0, déterminant alors l'utilisation du contrôleur interne.

Tableau récapitulatif

Avec D77 bit du registre "système 1" en E7E7 pour le contrôleur externe.

Avec D75 bit du registre "RAM données" en E7E5 pour le choix d'un QDD.

	D77 = 0		D77 = 1				
	D75 = 0	D75 = 0		D75 = 1			
Espaces	CSMN	EXXXN	DISN	CSMN	EXXXN	DS1N	EXXXN
E000-E7AF	0	1	1	1	0	1	0
E7B0-E7CF	1	0	1	1	0	1	0
E7D0-E7D9	1	1	0	1	0	1	0
E7DA-E7DB	1	1	1	1	1	1	1
E7DC	1	1	1	1	1	1	0
E7DD-E7DF	1	1	1	1	1	1	1
E7E0-E7FF	1	0	1	1	0	1	0
E800-EFFF	0	1	1	0	1	1	1
	<div style="text-align: center;"> } contrôleur interne </div>			<div style="text-align: center;"> } contrôleur externe </div>			

Gestion du crayon optique

Le fonctionnement de l'interrupteur du crayon optique est assuré de la même manière que sur le TO9 (cf. gestion du crayon optique, page 82).

Pour la gestion du photo-transistor, via un circuit à miroir de courant, le signal CKLPN est récupéré par le gate array mode page qui intègre la demande d'interruption FIRQN établie anciennement par le 6821 dans le TO9. En dehors de cette particularité, le fonctionnement reste pratiquement semblable et le gate array mode page offre, comme son successeur, la possibilité de faire des mesures avec la résolution du point.

Nous savons que quatre registres permettent de lire les informations afférentes à une mesure light-pen; ce sont :

- en E7E4 - le registre crayon optique 1
- en E7E5 - le registre crayon optique 2
- en E7E6 - le registre crayon optique 3
- en E7E7 - le registre crayon optique 4

En écrivant le bit D0 de E7E4 à 1, on se prépare à pouvoir lire ces registres et, par la même occasion, on autorise le passage du signal arrivant du crayon optique lui-même vers la sortie ITLP du gate array reliée à l'entrée FIRQN du CPU. On "arme" donc la routine light-pen en rendant le CPU interruptible par les signaux de mesure en provenance du crayon optique. L'arrivée d'une impulsion de mesure CKLPN provoque une FIRQN sur le CPU et latche le contenu du compteur 16 bits associé. La valeur du compteur désigne alors le pixel "vu" par le crayon optique. Le CPU peut alors lire le contenu de ce compteur par les registres E7E4 et E7E5.

– E7E4 donne les 8 bits de poids fort:

T12 T11 T10 T9 T8 T7 T6 T5

– E7E5 donne les 8 bits de poids faible:

T4 T3 T2 T1 T0 E H2 H4

Les 3 bits E, H2, H4 issus d'un comptage à 8 MHz donnent la résolution du pixel dans les modes 320×200 et d'un pixel sur deux en mode 80 colonnes. D'autres informations complétant la lecture de ces compteurs sont disponibles dans les deux autres registres (cf. Description des registres accessibles en lecture pour D = 0, page 114).

Au moment de l'arrivée de CKLPN, un drapeau d'interruption est levé dans le bit D1 du registre E7E7. Ceci permet de vérifier que l'interruption FIRQN a bien été causée par le crayon optique.

La lecture des poids faibles du compteur light-pen (E7E5) a pour effet de relâcher la ligne FIRQN et d'abaisser le drapeau d'interruption dans le registre E7E7. Dès que cette lecture est effectuée, le gate array est donc prêt à effectuer une autre mesure.

L'organisation du gate array mode page permet donc d'implémenter une routine de mesure du crayon optique similaire à celle qui existe sur le TO9 (cf. étude matérielle du TO9, gestion du crayon optique, page 82).

7. Chaîne de visualisation

Le gate array "mode page" génère les informations R, V, B, P et HP nécessaires au circuit de palette IGV EF 9369 d'une façon parfaitement identique au TO9 (cf. Le système de visualisation du TO9, page 52). Ce circuit remplit bien évidemment les mêmes fonctions (choix de 16 teintes parmi 4096, choix de la couleur d'incrustation) et se programme de la même manière.

Les trois sorties analogiques R, V, B attaquent, d'une façon toujours identique au TO9, la prise péritel à travers un circuit d'adaptation et un mélangeur recevant le signal SYNLT pour reconstituer une vidéo composite.

Les trois sorties sont dérivées vers un adaptateur pour un éventuel modulateur PAL (version EXPORT).

Le circuit d'incrustation, bien que semblable à celui du TO9 dans son principe (cf. Circuit d'incrustation du TO9, page 71), diffère par sa conception. En effet, le gate array "mode page" possède une entrée spéciale (16MHz VCo) de remise en phase, ce qui, en demande d'incrustation, ne nécessite pas une décommutation de l'horloge mère.

La figure 21 concrétise le fonctionnement général du dispositif.

Ainsi en fonctionnement normal (après mise sous tension ou RESET) le bit CB2 du PIA système est à l'état 1. Le transistor T14 est saturé et le transistor TO6 est bloqué. Le 12 V apparaît en commande de commutation lente et force par la diode D4 et la conduction du transistor TO5 la commande de commutation rapide. Le bit marqueur en provenance du circuit de palette est inopérant, la diode D7 étant bloquée.

En fonctionnement incrusté, après mise à l'état 0 de CB2 par programmation, le transistor T14 est bloqué, entraînant la saturation du transistor TO6. La commande de commutation lente devient inactive (0 V). Le bit marqueur, protégé par la diode D4 constamment bloquée, devient maître d'œuvre pour envoyer la commande de commutation rapide à travers TO5, selon la procédure connue sur le TO9:

couleur hors incrustation $\Rightarrow \bar{M} = 1 \Rightarrow$ commutation rapide

couleur d'incrustation $\Rightarrow \bar{M} = 0 \Rightarrow$ pas de commutation rapide

Le boîtier d'incrustation branché, le gate array reçoit la commande de remise en phase ligne par l'intermédiaire du 16 MHz VCo. Il reçoit la commande de remise à l'heure trame par l'intermédiaire de CLRG.

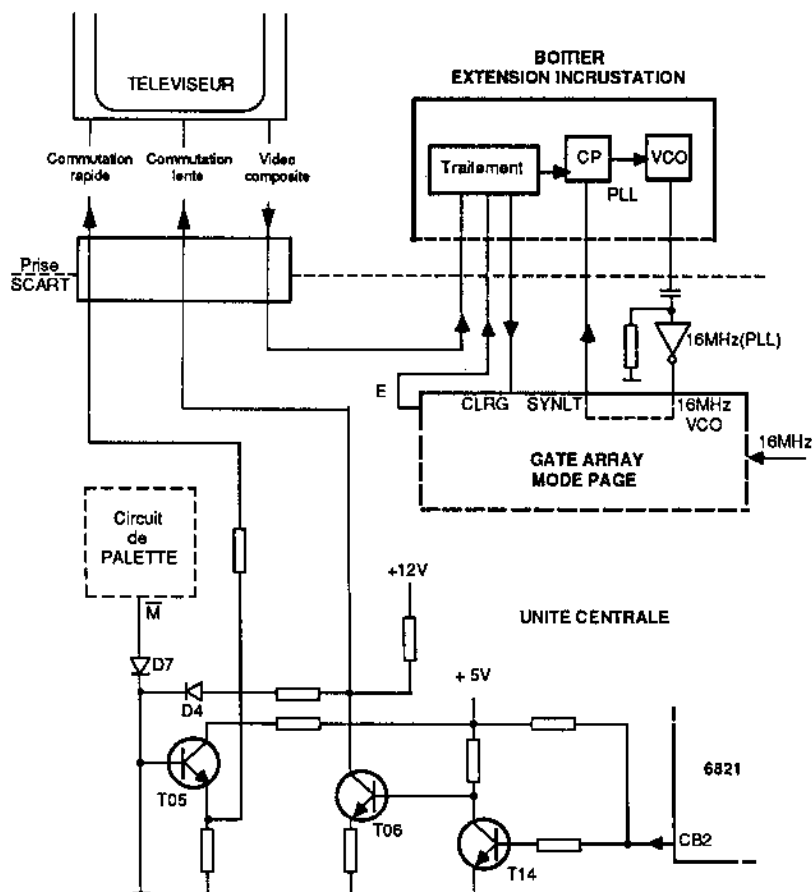


Figure 21. Synoptique du fonctionnement de l'incrustation dans le TO8

8. Les interfaces

Le TO8 comprend quatre circuits d'interface pour gérer ses divers périphériques (un 6846, deux 6821, un 6804). Certains bits restent compatibles pour le TO9, ce qui est mis en évidence dans la description suivante.

L'interface 6846

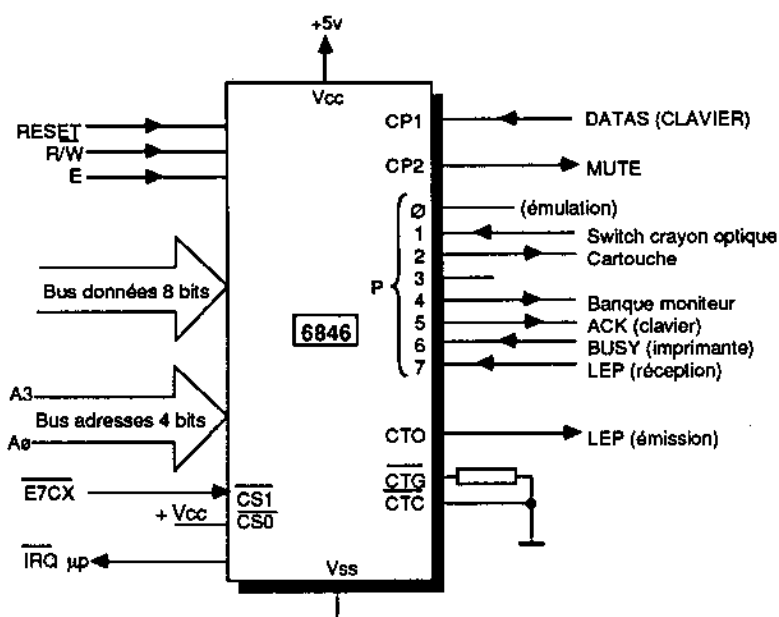


Figure 22. Le 6846 dans le TO8

Partie ROM

Comme pour le TO9, la partie mémoire morte de ce boîtier complexe n'est pas utilisée (adressage sur 4 bits de A0 à A3).

Partie PIA

Le port 8 bits a, par initialisation, trois lignes P2, P4, P5 configurées en sortie et trois autres lignes P1, P6, P7 en entrée. Le bit P0, bien que configuré en sortie, n'est pas utilisé matériellement (broche non connectée). En fait, l'action de ce bit est émulée dans le gate array "mode page" (cf. Le gate array mode page CF 7021, page 105) pour la commutation du bit de forme.

- Le bit P1, comme pour le TO9, assure la lecture de l'état de l'interrupteur du crayon optique (0 ==> interrupteur ouvert, 1 ==> interrupteur fermé).

- Le bit P2, incompatible sur le TO9, commande la commutation cartouche/logiciels internes (cf. Sélection entre logiciels résidents et cartouche, page 98).

- Le bit P3 n'est pas utilisé (ancienne commande LED clavier TO7, TO7/70).

- Le bit P4, incompatible sur le TO9, détermine la sélection de page moniteur (cf. Sélection d'une page moniteur, page 98) avec:

0 ==> partie basse.

1 ==> partie haute.

- Le bit P5, incompatible sur le TO9, envoie le signal ACK (acknowledge-accusé de réception), en retour d'une communication du clavier (cf. Le 6804, page 138).

- Le bit P6, incompatible sur le TO9, reçoit l'information BUSY (indicateur d'occupation) de l'imprimante CENTRONICS avec:

0 ==> imprimante occupée

1 ==> imprimante disponible

- Le bit P7 réceptionne, comme pour le TO9, les informations numériques décodées en lecture du LEP.

Les lignes de contrôles, incompatibles avec celles du TO9, assurent pour:

- CP1: La réception des données en transmission série, provenant du clavier via le 6804. Chaque bit est codé selon une temporisation récupérée en demande IRQN par le 6809 E (cf. fonctionnement du 6804).

- CP2: initialisée en sortie, envoie la commande "MUTE" procurant un blocage du son (action sur un transistor du mélangeur) lorsque l'utilisateur manipule la souris:

0 ==> passage du son

1 ==> blocage du son

Partie TIMER

D'une façon identique au TO9, la sortie CT0 génère l'écriture cassette.

Adresses des registres internes

E7C0 - registre d'état composite
E7C1 - registre de contrôle périphérique
E7C2 - registre de direction de données
E7C3 - registre de données périphériques
E7C4 - registre d'état composite
E7C5 - registre contrôle temporisation
E7C6 - registre temporisation

Le 6821 système

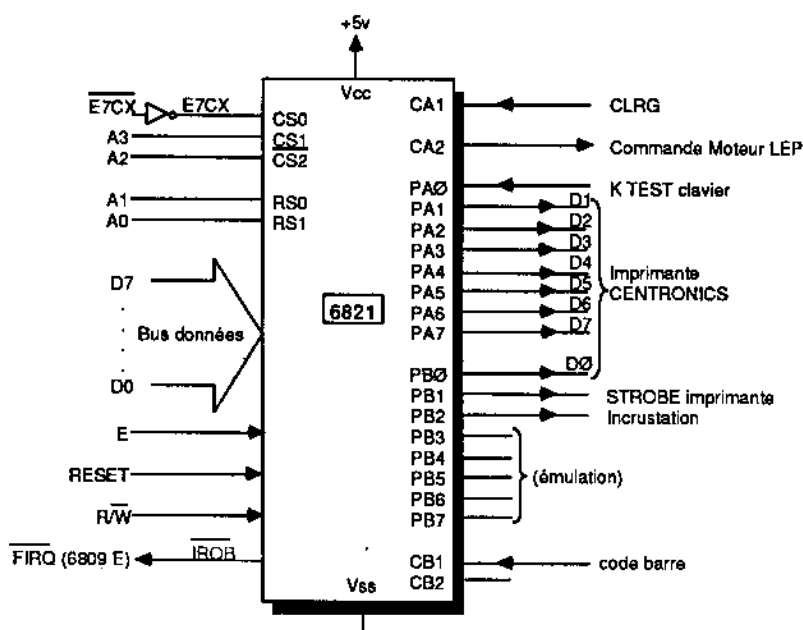


Figure 23. Le 6821 "système" dans le TO8

A l'exception de CB1 recevant par la broche 5 du connecteur crayon optique, une éventuelle demande en code barre, et des bits PB7, PB6, PB5, PB4, PB3 de commutation banque RAM sur le TO9, dont l'action est ici parfaitement émulée par le gate array "mode page" (les broches sont "en l'air"), le composant joue le même rôle que dans l'unité centrale du TO9 (cf. Utilisation du 6821 dans le TO9, page 75).

Adresses des registres internes

E7C8 - registre de direction de données ou registre de données partie A

E7C9 - registre de direction de données ou registre de données partie B

E7CA - registre de contrôle partie A

E7CB - registre de contrôle partie B.

Le 6821 jeux et musique

Ce boîtier a, de par l'initialisation, toutes ses lignes en entrée. La quasi-totalité des lignes assume l'exploitation des manettes de jeux ou de la souris. Lorsque l'unité centrale doit émettre un message sonore, six bits du port B sont alors commutés en sortie pour attaquer, après bufferisation, un convertisseur numérique analogique du type CNA R/2R dont la sortie est reliée au mélangeur recevant par ailleurs une éventuelle information audio, après lecture du LEP.

Description des broches

– Port A

Quatre lignes sont consacrées à la manette de jeux "0", ou à la souris, par l'intermédiaire du connecteur B12 (prise avant) avec:

PA0	contact nord	ou gachette 1
PA1	contact sud	ou gachette 2
PA2	contact ouest	ou XB
PA3	contact est	ou YB

Les quatre autres lignes sont consacrées à la manette de jeux "1" par l'intermédiaire du connecteur B13 (prise arrière) avec:

PA4	contact nord
PA5	contact sud
PA6	contact ouest
PA7	contact est

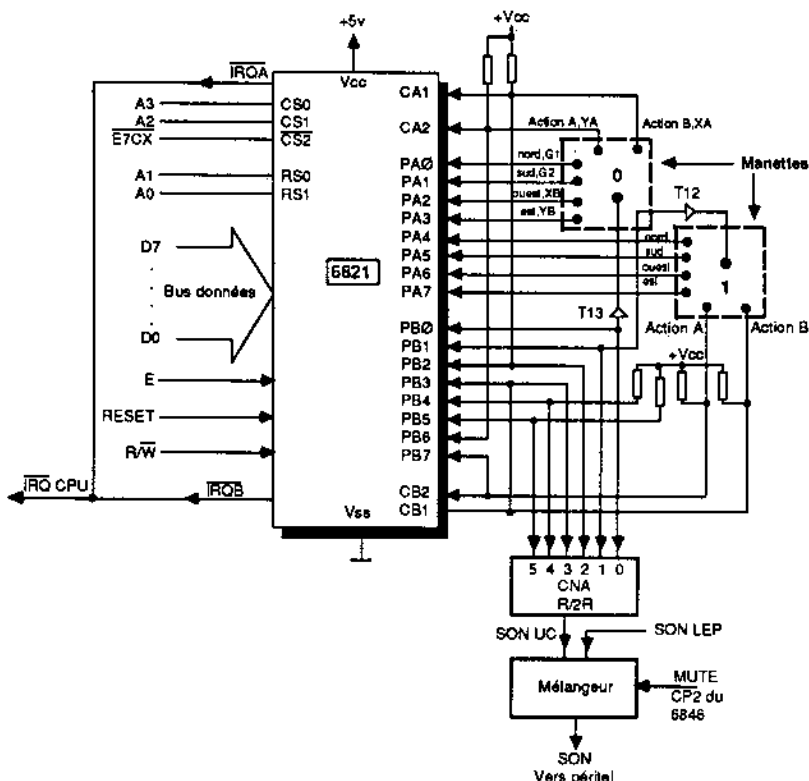


Figure 24. Le 6821 "musique et jeux" dans le TO8

- Port B

Chaque ligne a un rôle complexe:

- PB0 commun bufferisé pour la manette de jeux "0" ou bit 0 configuré en sortie pour le CNA.
- PB1 commun bufferisé pour la manette de jeux "1" ou bit 1 configuré en sortie pour le CNA.
- PB2 bouton d'action B de la manette de jeux "0" ou XA de la souris ou bit 2 configuré en sortie pour le CNA.
- PB3 bouton d'action B de la manette de jeux "1" ou bit 3 configuré en sortie par le CNA.

PB4 bit 4 configuré en sortie pour le CNA.

PB5 bit 5 configuré en sortie pour le CNA.

PB6 bouton d'action A de la manette de jeux "0" ou YA de la souris.

PB7 bouton d'action A de la manette de jeux "1".

Les lignes de contrôle CA1, CA2, CB1, CB2 peuvent être utilisées conjointement en demande IRQN pour les boutons d'action ou la souris selon:

CA1 bouton d'action B pour la manette "0"

CA2 bouton d'action A pour la manette "0"

CB2 bouton d'action A pour la manette "1"

CB1 bouton d'action B pour la manette "1".

De par l'emploi des mêmes connections pour l'élaboration du son et pour l'utilisation de la souris, il est nécessaire, pour ne pas être gêné par un bruit parasite à chaque manipulation, de bloquer la sortie son. Cela est réalisé par le bit CP2 du PIA 6846 (0 sortie son validée - 1 sortie son invalidée) qui vient agir sur le mélangeur.

Adresses des registres internes

E7CC - registre de direction de données ou registre de données partie A

E7CD - registre de direction de données ou registre de données partie B

E7CE - registre de contrôle partie A

E7CF - registre de contrôle partie B.

Le 6804

Le MONOCHIP 6804 a pour tâche l'interfaçage et le traitement du clavier en relation avec le 6846 et le 6821 système.

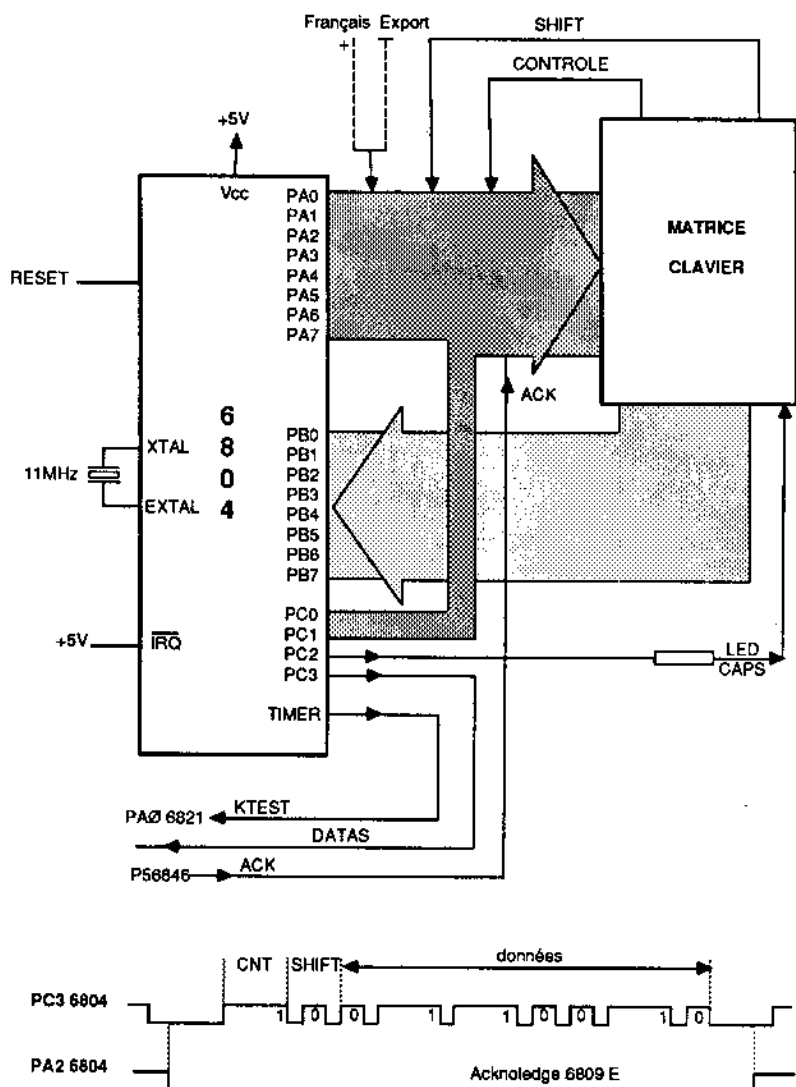


Figure 25. Gestion du clavier dans le T08

Interfaçage du clavier

La figure 25 montre les interconnexions entre la matrice 10 × 8 du clavier et les ports A, B et C du 6804. Ce dernier est piloté par un quartz à la fréquence de 11 MHz.

Fonctionnement

Comme pour le TO9, c'est le clavier qui indique au 6809 E qu'une touche vient d'être appuyée. La transmission est réalisée par un dialogue entre les deux microprocesseurs via trois bits de PIA:

- CP1 du 6846, pour les données à transmettre
- P5 du 6846, pour la reconnaissance d'une touche du clavier (ACK),
- PA0 du 6821 système pour la reconnaissance du périphérique (KTEST).

- Emission d'une donnée par le microprocesseur "clavier":

Les données émises par le microprocesseur "clavier" se composent de 9 bits:

1er bit:	Touche CNT enfoncée	--> 1
	Touche CNT libre	--> 0

2ème bit:	Touche SHIFT enfoncée ou CAPS LOCK actionné	--> 1
	Touche libre et CAPS LOCK non actionné	--> 0

7 bits suivants: Numéro de la touche de 0 à 79 (contrairement au TO9 et TO9 +, ce n'est pas le code ASCII de la touche qui est envoyé, mais seulement le numéro de la touche, le trancodage numéro --> code ASCII étant à la charge du 6809 E).

Corrélativement avec KTEST, pour prévenir le 6809 E qu'il va recevoir une information du clavier, le 6804 descend le bit PC3 à 0, ce qui provoque une interruption par le bit CP1 du 6846. Il attend ensuite que le 6809 descende le fil P5 du 6846 à 0, lui indiquant qu'il est prêt à recevoir les 9 bits de données (signal ACK).

Les informations séries transmises répondent à la convention suivante:

- un 1 logique est codé comme étant une impulsion positive de 56 microsecondes.
- un 0 logique est codé comme étant une impulsion positive de 38 microsecondes.

Dans l'exemple de la figure 25, la touche CNT est enfoncée en même temps que la touche "U" du clavier "métropole" dont le code est 32 en hexadécimal.

- Emission d'une requête au clavier par le 6809 E:

Le 6809 peut émettre 3 requêtes différentes au 6804:

Initialisation: Le 6804 renvoie alors au 6809 E, un code indiquant que le clavier est configuré en version Française ou Export. Le clavier se met en CAPS LOCK actif - LED allumée.

Majuscule: Le clavier se met en CAPS LOCK actif - LED allumée.

Minuscule: Le clavier se met alors en CAPS LOCK inactif - LED éteinte.

Quand le 6809 E souhaite émettre une requête, il met P5 à 0 et attend que le 6804 descende de fil PC3 à 0, le 6804 compte alors le temps pendant lequel P5 reste à 0. Le 6809 E peut donc générer trois temporisations différentes correspondant aux trois requêtes possibles:

- 0,67 milliseconde --> demande d'initialisation du 6809 E
- 1,30 milliseconde --> mise en CAPS LOCK actif
- 1,90 milliseconde --> mise en CAPS LOCK inactif.

9. Le contrôleur de l'unité de disquette

Le contrôleur de drive du TO8 est un nouveau boîtier gate array THMFC1 développé par THOMSON Micro-informatique, pour répondre aux besoins des nouvelles machines. Il présente, notamment, une adaptabilité aux différents formats d'enregistrement des données (codage FM et MFM) et à la gestion des floppies 3"5, 5"25 ou d'un QDD (Quick Disk Drive).

Il peut commander deux unités de disquettes à la fois. D'un point de vue externe, le THMFC1 s'apparente au WD 2793 ou WD 1770 utilisés sur le TO9. En interne, il se distingue par l'emploi d'un séparateur de données utilisant la technique de comptage à la place d'un circuit à verrouillage de phase (PLL). De même, il intègre un registre du choix de codage simple ou double densité (FM, MFM).

Branchements du THMFC1

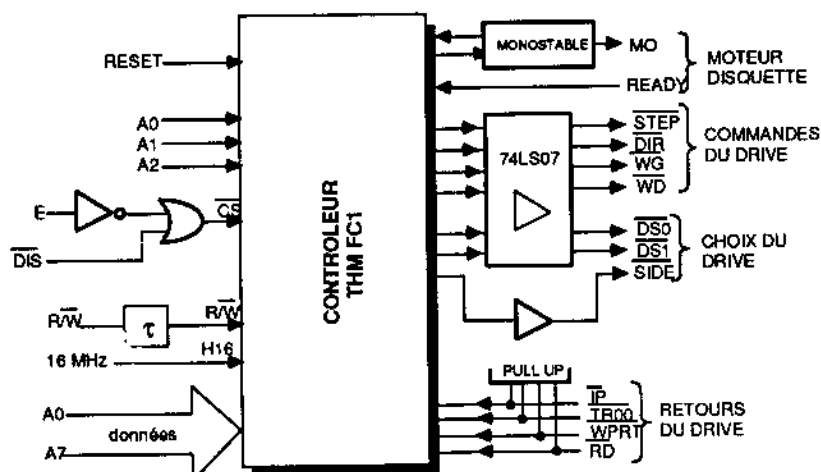


Figure 26. Le gate array contrôleur de disques

En liaison directe avec le bus du 6809 E (figure 26), le contrôleur est connecté au bus d'adresses par les trois lignes A2, A1, A0. Ces trois bits, en relation avec le décodage d'adresse DISN (actif pour E = 1) dans l'espace E7D0 à E7D9, et en relation avec la commande R/WN (retardée en lecture), permettent la sélection des onze registres dont dispose le composant.

La figure 26 décrit les différentes commandes concernant les unités de disquettes.

On distingue:

- La commande MO du moteur de drive (non utilisée pour le QDD). Elle est en liaison avec la sélection du contrôleur qui, via un monostable redéclenchable, avec une constante de temps de plusieurs secondes, intègre les demandes d'accès et procure une inertie suffisante du moteur adaptée pour le bon fonctionnement du mécanisme.

- READY est une information en retour de la mécanique confirmant l'insertion de la disquette, la mise en route du moteur, la fréquence d'index correcte. Cette commande permet de valider, dans le contrôleur, les actions de lecture et d'écriture.

Des commandes bufferisées par un 74 LS 07 délivrent:

- Les signaux de commande mécanique du drive:

STEPN Pour déplacer la tête de lecture/écriture d'un pas. Cette commande est inutilisée dans un QDD.

DIRN Pour indiquer à la mécanique dans quel sens déplacer la tête (0 vers le centre, 1 vers l'extérieur).

WGN Le signal d'autorisation d'écriture.

WDN Flot de données séries d'écriture de la disquette.

DS0N DS1N Les signaux de choix du drive.

Le signal SIDEN bufferisé par un transistor indique à la mécanique sur quelle face de la disquette travailler (0 face supérieure, 1 face inférieure). Pour le QDD, cette commande concerne l'alimentation du moteur.

Quatre signaux d'entrée informent le contrôleur:

IPN Indique le passage du repère d'index (une impulsion négative par tour de disquette). Dans le QDD, ce bit indique la présence ou l'absence de disquette (1 = disquette présente).

TROON	Indique que la tête de lecture écriture est positionnée sur la piste 0. Avec le QDD, ce bit est envoyé constamment à l'état 0, ce qui permet au THMFC1 de "savoir" quel type de machine il doit contrôler.
WPRTN	Indique que la disquette insérée dans la mécanique est protégée en écriture.
RDN	Flot de données lues sur la disquette.

Description et programmation des registres

• Registre CMD0 en écriture à E7D0

bit 7 à 0	
bit 6 à 0	
bit 5 à 0	→ MFM
bit 4 à 1	→ FM
bit 4 à 1	→ validation de la détection des mots de synchro
bit 3 à 0	→ inhibition de la synchronisation du séparateur de données pour le formatage.
bit 2 à 1	→ active la sortie WGN
bit 1	
bit 0	→ code opération
	0 0 reset
	0 1 écriture secteur
	1 0 lecture adresse
	1 1 lecture secteur

• Registre CMD1 en écriture à E7D1

bit 7	→ bit de compatibilité
bit 6	
bit 5	→ longueur du secteur
	0 0 128 mots/secteur
	0 1 256 mots/secteur
	1 0 512 mots/secteur
	1 1 1024 mots/secteur
bit 4 à 0	→ face 0 du disque
bit 4 à 1	→ face 1
bits 3, 2, 1	→ commande de précompensation à 437,5 ns par pas de 62,5ns.
bit 0 à 1	→ inhibition du système, lorsque le signal READY est inactif (bit à 1).

• Registre CMD2 en écriture à E7D2

Registre de commande, il a des fonctions différentes selon le drive utilisé:

Floppy ou QDD.

bit	7	→	non utilisé.
bit	6 à 0	→	face 0 du floppy.
	0	→	commande active du moteur QDD.
	1	→	fonctions inverses.
bit	5 à 0	→	commande de direction vers l'extérieur (piste 0) du disque.
	1	→	fonction inverse
			non utilisé pour le QDD.
bit	4 à 0	→	commande de pas inactivée pour le floppy.
	1	→	active.
			non utilisé pour le QDD.
bit	3	→	non utilisé
bit	2 à 0	→	commande moteur inactive pour le floppy.
	1	→	active.
			non utilisé pour le QDD.
bit	1	→	commandes de sélection de drive (floppy
bit	0	→	et QDD) actives à l'état 1.

• Registre d'état STAT0 en lecture à E7D0.

bit	7	→	image de l'horloge caractère:
	à 1	→	demande d'opération
	à 0	→	par lecture ou écriture des registres RDATA ou WDATA.
bit	6 à 0		
bit	5 à 0		
bit	4 à 1	→	indication que l'opération se termine.
bit	3 à 1	→	indication que l'opération est terminée.
bit	2 à 1	→	erreur de CRC (check sum de la zone d'identification de données).
bit	1	→	action identique au bit 7 pour les opérations dites intelligentes.
bit	0 à 1	→	indique le bon résultat d'une détection synchro.

• Registre d'état STAT1 en lecture à E7D1

Ce registre contient des informations différentes selon le drive utilisé.

bit	7 à 0	
bit	6 à 1	→ détection d'index pour le floppy.
	à 1	→ présence de disquette pour de QDD.
bit	5 à 1	→ information de changement de disquette non utilisé pour le QDD.
bit	4	→ image inverse de la commande moteur MO.
bit	3 à 1	→ détection de la piste 0 pour le floppy.
	à 1	→ information de détection d'un QDD.
bit	2 à 1	→ information de protection en écriture sur le floppy et le QDD.
bit	1 à 1	→ information "ready" en provenance du floppy ou QDD.
bit	0	→ non utilisé.

• Registres de données WDATA, RDATA en écriture ou lecture à E7D3.

Ces registres 8 bits ont le rôle traditionnel de tampon.

• Registre d'horloge type en écriture à E7D4.

Ce registre 8 bits contient la configuration (FF) pour les données et (0A) pour les mots de synchro.

• Registre secteur WSECT en écriture à E7D5.

Comporte le numéro de secteur à chercher. Le contrôleur se charge de comparer les informations écrites dans ce registre avec celles présentes sur la disquette dans la zone d'identification.

• Registre piste WTRCK en écriture à E7D6.

Même gestion que pour le registre secteur.

• Registre largeur de cellule WCELL en écriture à E7D7.

bit	7 à 0	→ modification des caractéristiques du séparateur de données (pour pistes intérieures de la disquette. Précompensation).
	à 1	→ fonctionnement normal du séparateur.
bits	6-0	→ valeur permettant de charger le compteur du séparateur selon le mode de codage utilisé.

Spécification d'un secteur

Un secteur est composé d'un champ d'identification et d'un champ de données selon le modèle:

	Nombre d'octets	Caractères	Désignation
Champ d'identification	12	0 0	synchro bit
	3	A1 horloge 0A	synchro caractères
	1	F E	adresse début identif.
	1		numéro de piste
	1		numéro de face
	1		numéro de secteur
	1		longueur secteur
	2		contrôle CRC
	22		espaces
	12	0 0	synchro bit
Champ de données	3	A1 horloge 0A	synchro caractère
	1	F B	adresse début donnée
	selon longueur de secteur		données
	2		contrôle CRC
	1		inhibition porte écrit.
	variable selon le drive		espaces

Les fonctions "intelligentes" du contrôleur consistent à lire une adresse, un secteur ou écrire un secteur. Elles sont programmées par les bits 1 et 0 du registre CMD0. Chaque fonction doit permettre l'acquittement d'une série d'opérations répondant aux spécifications décrites ci-avant.