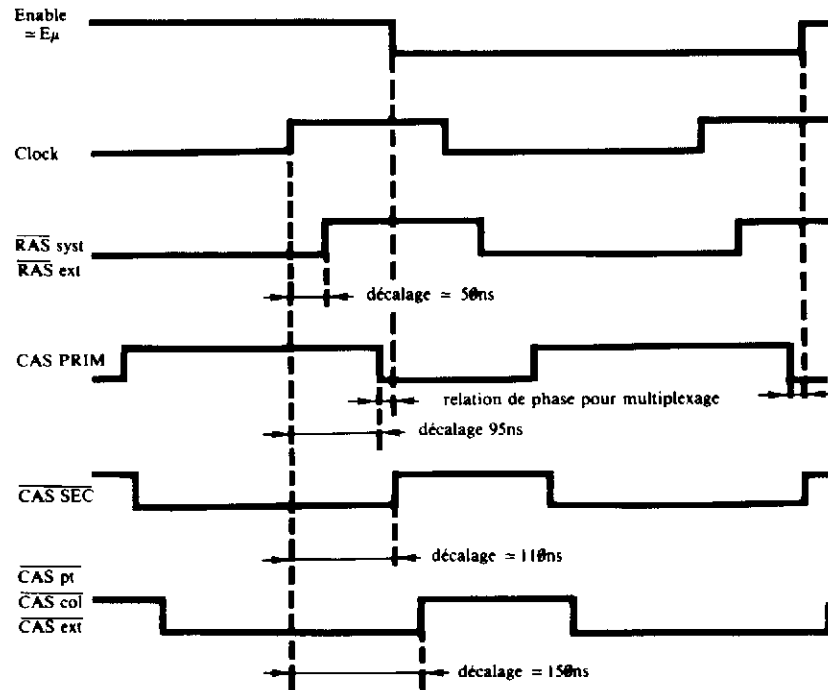
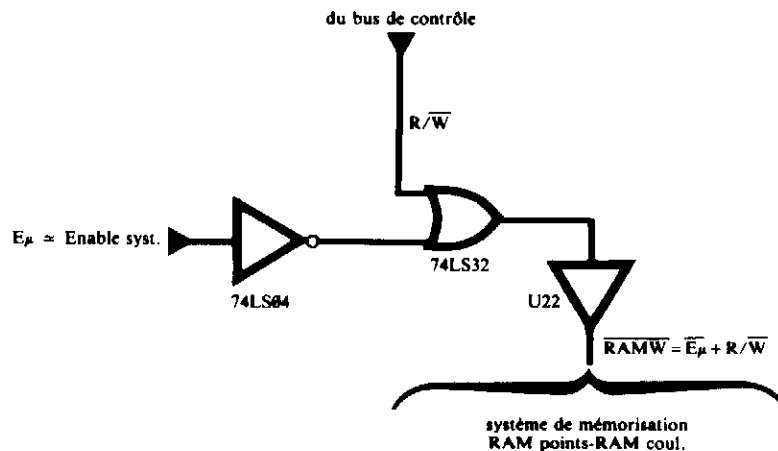


Timing simplifié

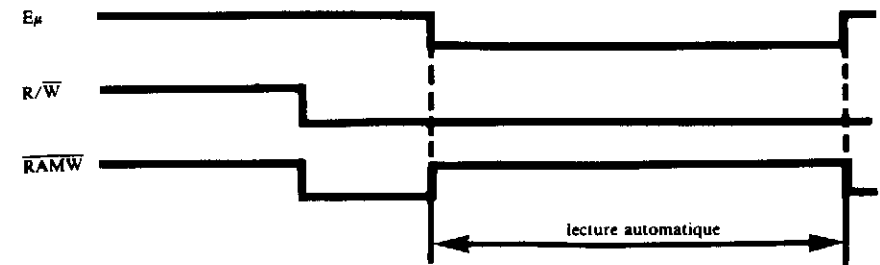


— \overline{RAMW} commande de lecture écriture du système de mémorisation, tel que ce système se positionne automatiquement en lecture pendant la phase non active du 6809.

Schéma de conception



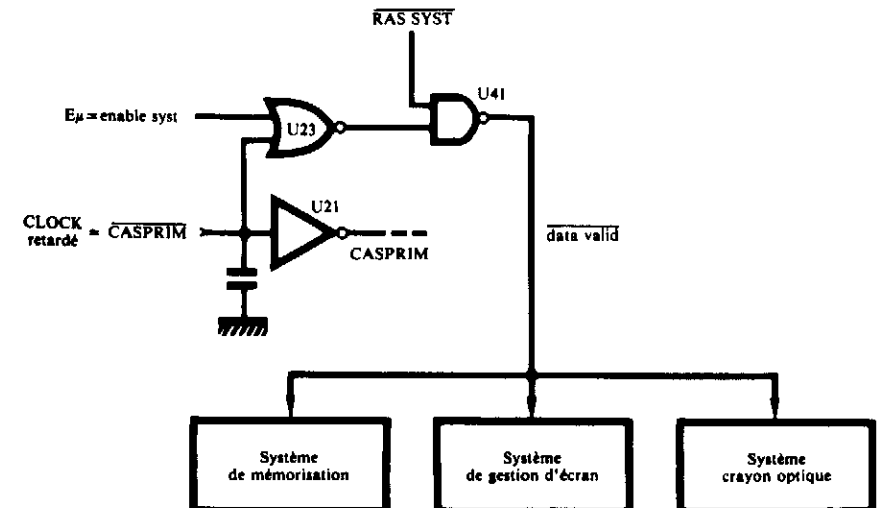
Exemple de timing



— $\overline{DATA VALID}$, fabriqué uniquement pendant la phase non active du 6809, entre la tombée de $\overline{RAS SYST}$ et la descente de $\overline{CAS PRIM}$, permet d'assurer un fonctionnement synchrone lorsqu'elles sont valides :

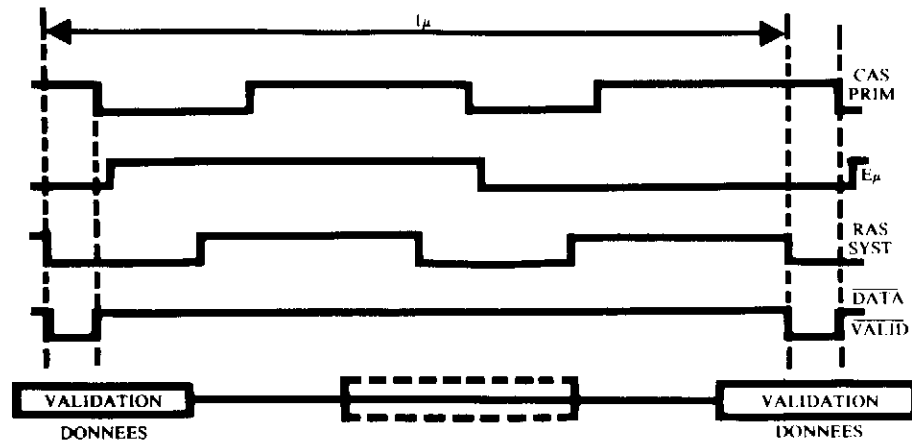
- des données en lecture du système de mémorisation,
- des informations à positionner sur l'écran,
- des informations "optiques" du light-pen.

Schéma de conception



Calcul

$$\begin{aligned}\overline{\text{DATA VALID}} &= \overline{\text{CAS PRIM}} + E_{\mu} \cdot \text{RAS SYST} \\ &= \overline{\text{CAS PRIM}} + E_{\mu} + \text{RAS SYST} \\ \Rightarrow \overline{\text{DATA VALID}} = 0 \text{ pour :} \\ \text{CAS PRIM} = 1 \text{ et } E_{\mu} = 0 \text{ et RAS SYST} = 0\end{aligned}$$



$\overline{\text{DATA VALID}}$ est centré sur la validation des données, en lecture automatique, du système de mémorisation.

B — Les signaux de gestion

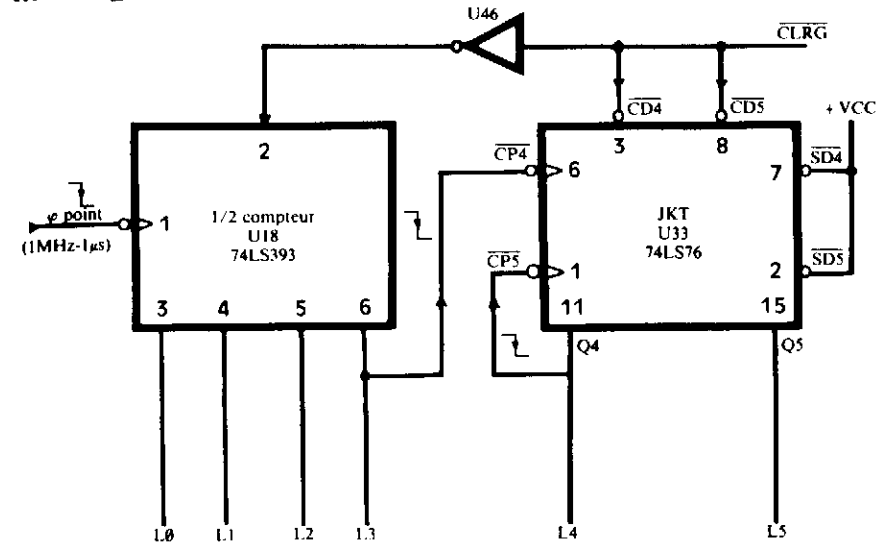
Ce sont principalement les signaux du contrôleur d'écran, soit la synchronisation vidéo mixte et les signaux d'initialisation.

1. Génération des lignes

Un compteur synchrone 6 bits reçoit une fréquence d'horloge de 1MHz. Il est remis à zéro automatiquement au bout de $2^6 = 64\mu\text{s}$ et reçoit un signal de remise à zéro général pour réinitialisation au début de la fenêtre de travail à la fin d'un balayage complet de l'écran ($\overline{\text{CLRG}}$).

Ce compteur est réalisé à l'aide d'un compteur asynchrone 4 bits (1/2 74LS393 = U18) et d'une double bascule JK (74LS76 = U33).

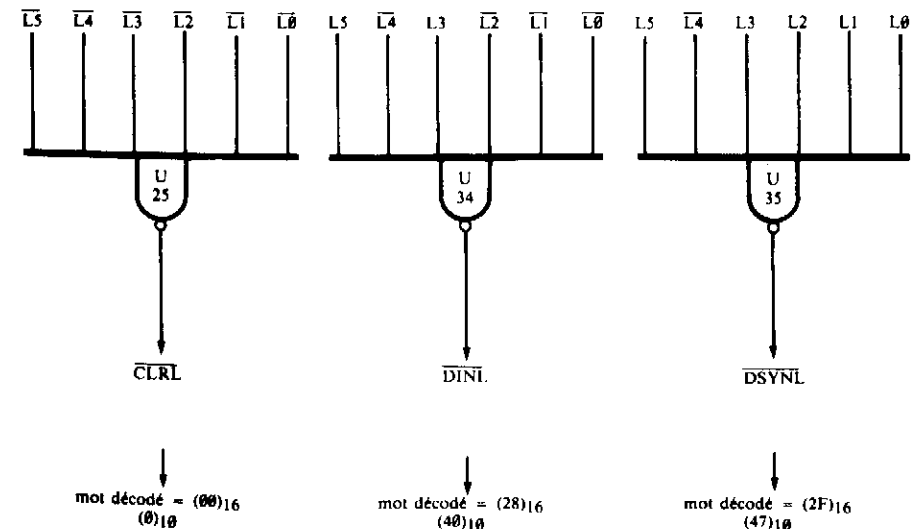
Montage



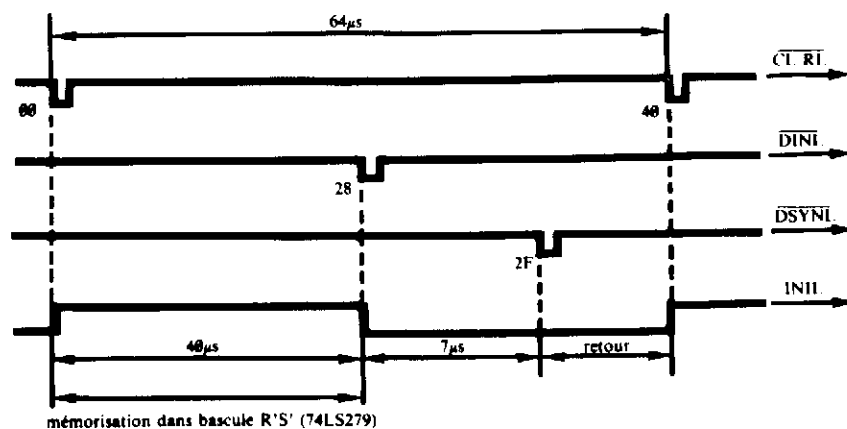
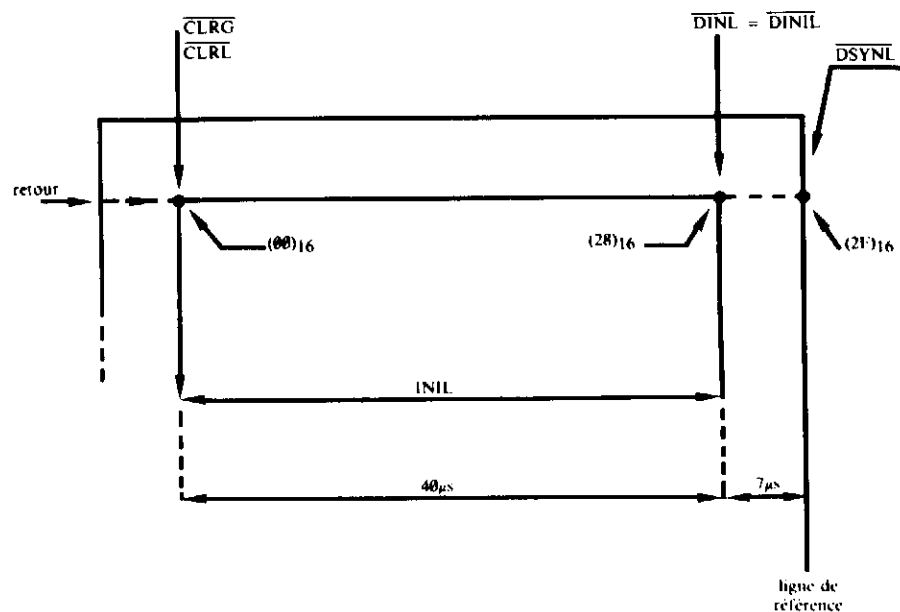
Les 6 bits de sortie de ce compteur sont décodés par des portes NAND à 6 entrées (74LS30 = U25-34-35) qui génèrent les signaux définissant :

- le début d'une ligne (départ de la fenêtre) → $\overline{\text{CLRL}}$
- la fin de la fenêtre (au bout de $40\mu\text{s} = \$28$) → $\overline{\text{DINL}}$
- la fin de la ligne (retour-ligne, $47\mu\text{s} = \$2F$) → $\overline{\text{DSYNL}}$

Schéma de principe

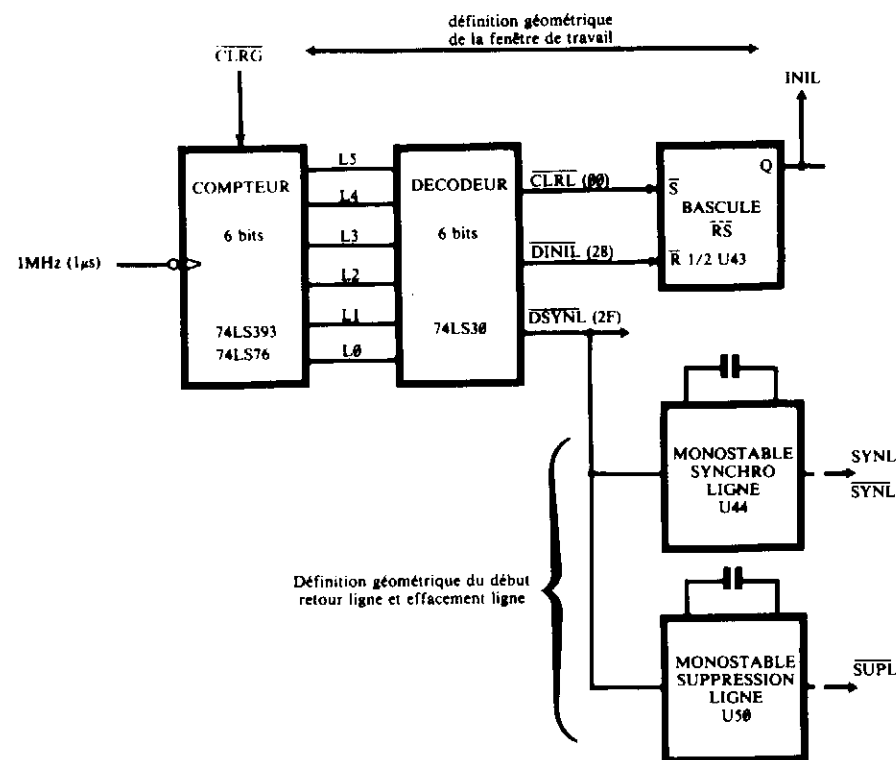


Définition de l'écran et de sa fenêtre de travail



Les deux signaux $\overline{\text{CLRG}}$ et $\overline{\text{DINL}}$ qui marquent le début et la fin de la partie fenêtre d'une ligne permettent via une bascule RS (1/2 74LS279 = U43) la création du signal de dimensionnement **en largeur** de la fenêtre, $\overline{\text{INIL}}$. Le signal $\overline{\text{DSYNL}}$ via les monostables synchronisation ligne (1/2 74LS123 = U44) et effacement ligne (1/2 74LS123 = U50) génère le signal de synchronisation $\overline{\text{SYNL}}$ (et $\overline{\text{SYNL}}$) et celui des suppression de RVB, $\overline{\text{SUPL}}$.

Synoptique des circuits



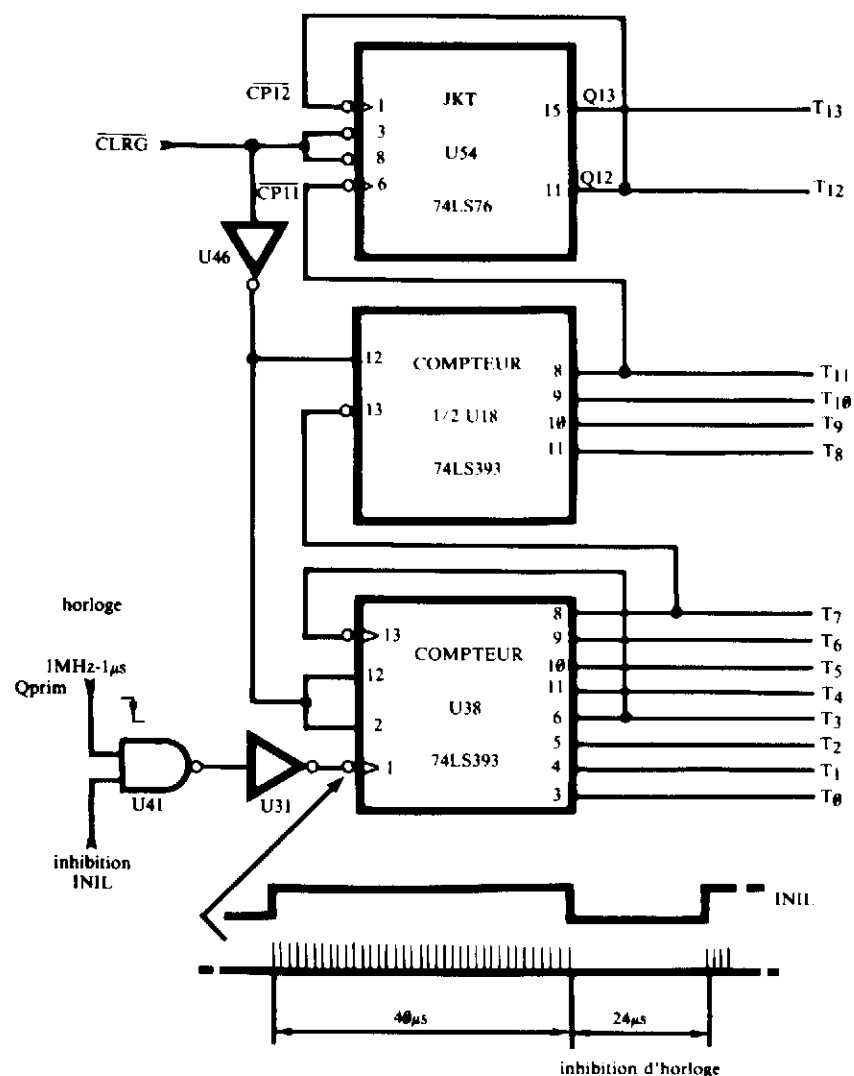
2. Génération trame

Le compteur asynchrone 14 bits déjà utilisé pour adresser les RAMS vidéo pendant la phase non active du 6809 est également utilisé pour générer les signaux de dimensionnement de la fenêtre et de synchronisation et d'effacement trame.

Ce compteur est réalisé à l'aide de 3 compteurs asynchrones 4 bits (74LS393 = U38 + 1/2 U18) et d'une bascule JK (74LS76 = U54). Il est attaqué par le signal d'horloge Q(1MHz) du 6809 et inhibé pendant 24μs par le signal INIL étudié ci-dessus.

Il est remis à zéro par le signal général d'initialisation $\overline{\text{CLR}}\overline{\text{G}}$.

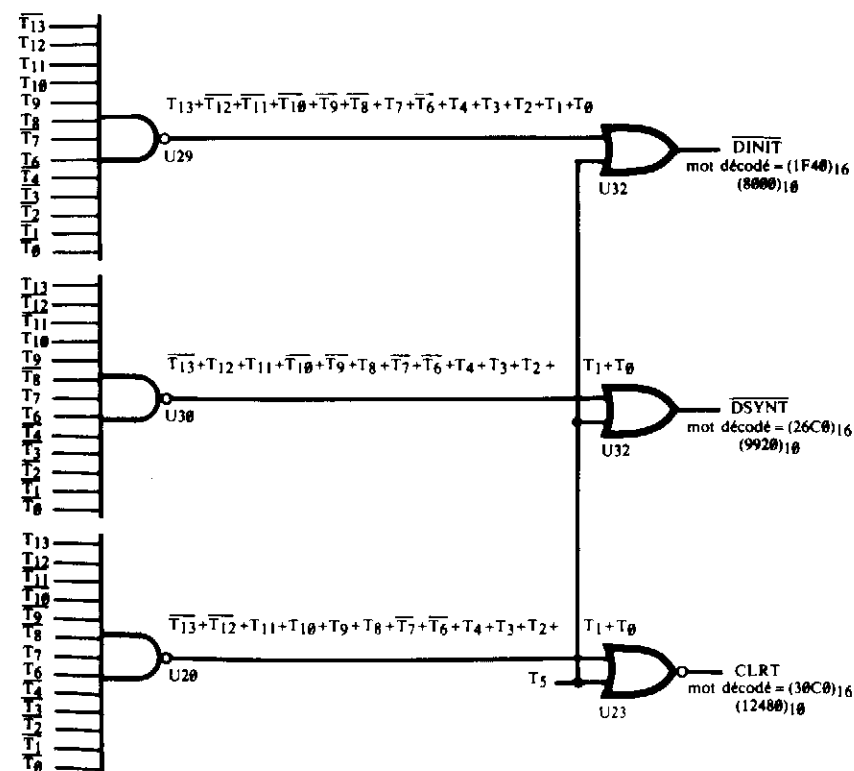
Montage



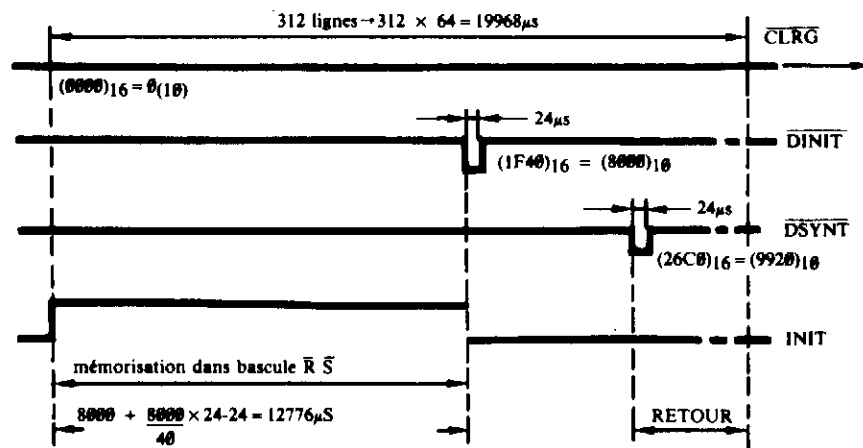
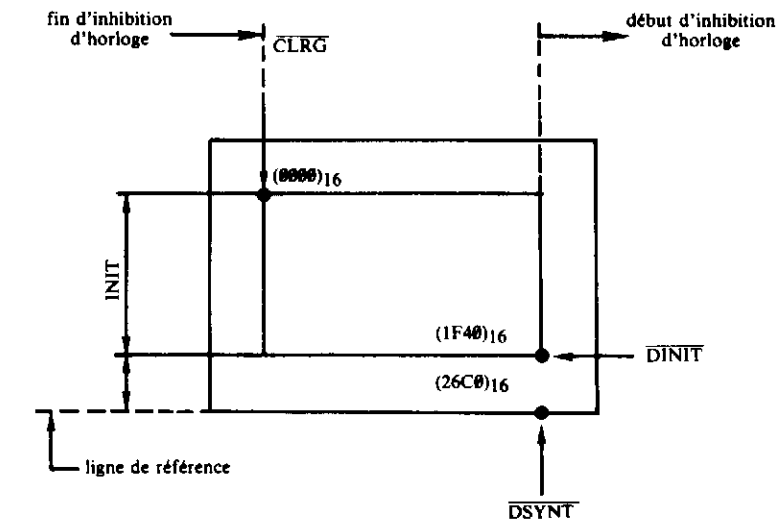
Les 14 bits de ce compteur sont décodés par des portes OU à 14 entrées (réalisées à l'aide de NAND 13 entrées + 1 porte OU 2 entrées : U20-29-30-32) et génèrent les signaux définissant :

- le début d'une trame (départ de la fenêtre) → CLRT
- la fin d'une fenêtre (trame) → $\overline{\text{DINIT}}$
- la fin de la trame (retour-trame) → $\overline{\text{DSYNT}}$

DÉCODAGE SIGNAUX TRAMES



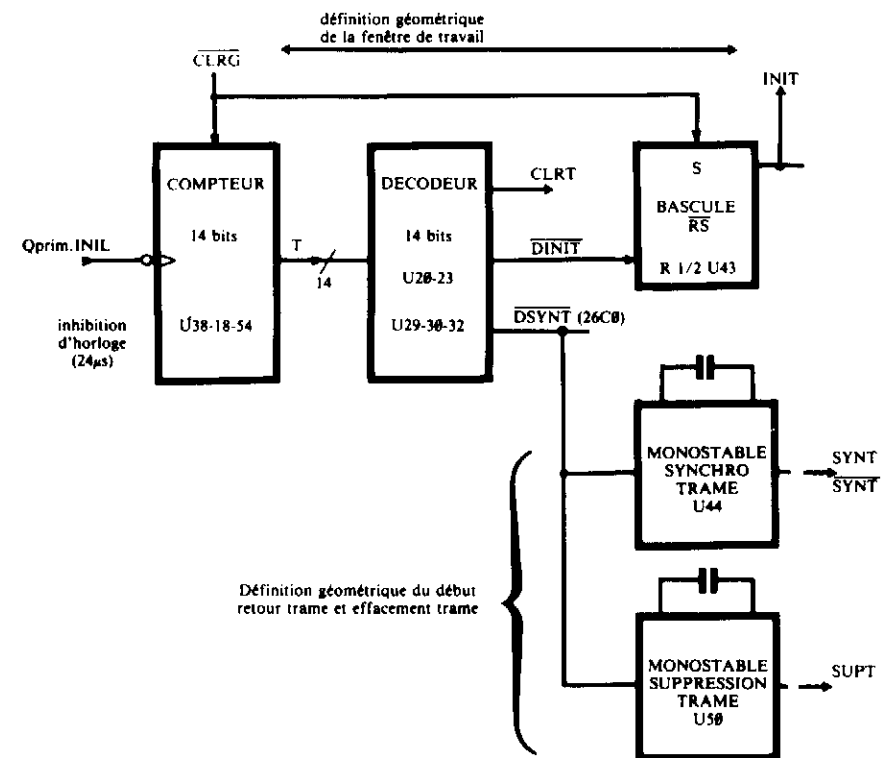
Définition de l'écran et de sa fenêtre de travail



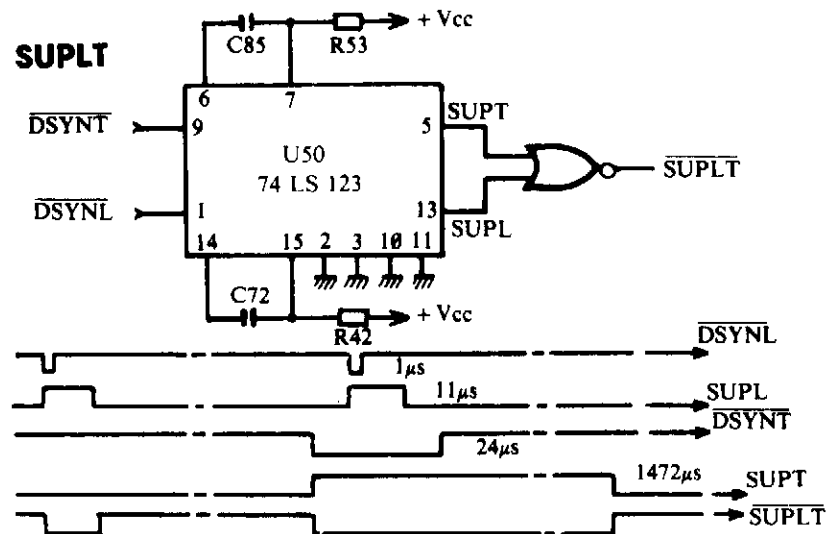
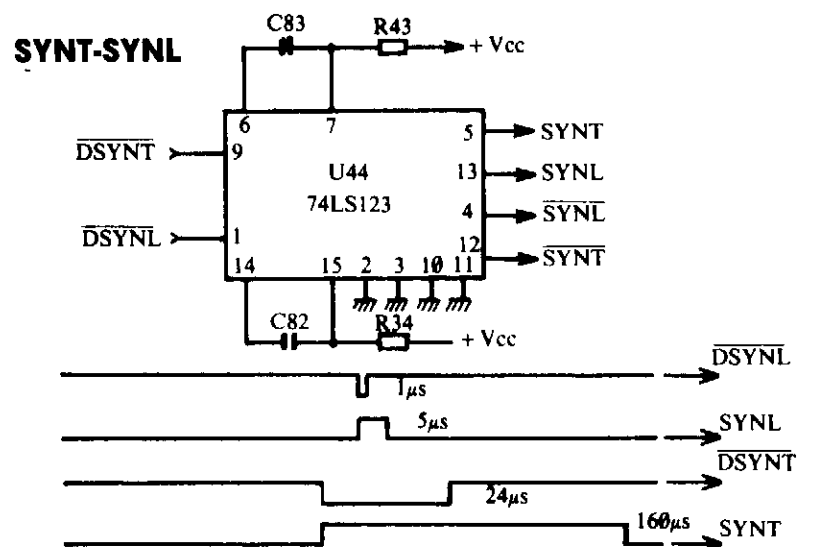
Les deux signaux \overline{CLRT} et \overline{DINIT} qui marquent le début et la fin de la fenêtre de travail permettent via une bascule RS (74LS279 = 1/2 U43) la création du signal de dimensionnement en hauteur de cette fenêtre, INIT.

Le signal \overline{DSYNT} via les monostables synchronisation trame (74LS123 = 1/2 U44) et effacement trame (74LS123 = 1/2 U50) génère les signaux de synchronisation \overline{SYNT} (et SYNT) et SUPT.

Synoptique des circuits

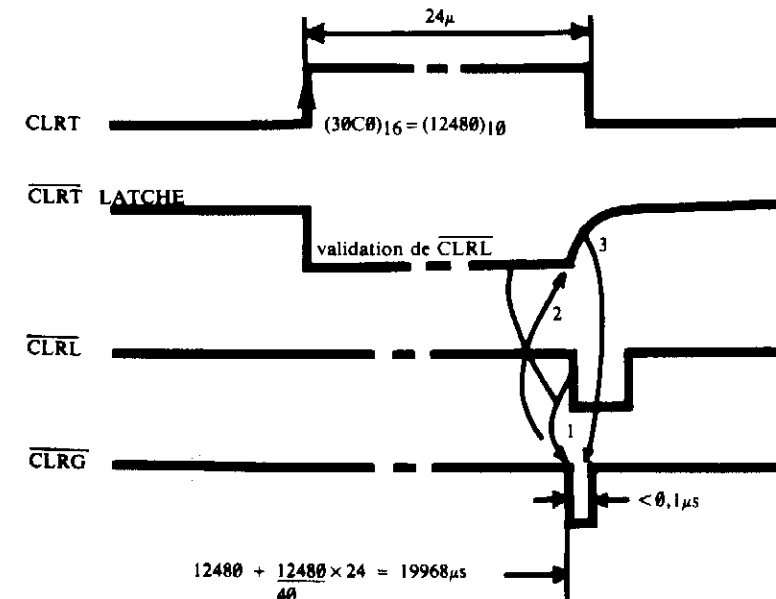
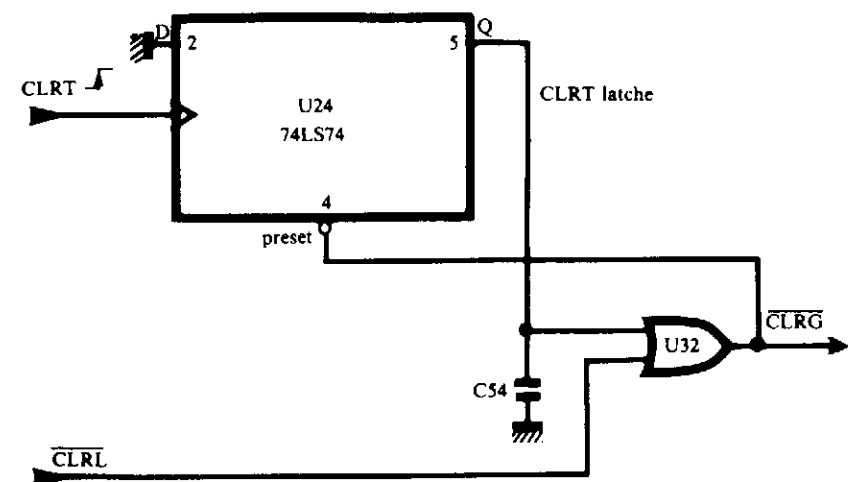


GÉNÉRATION DES CIRCUITS DE SYNCHRONISATION ET D'EFFACEMENT



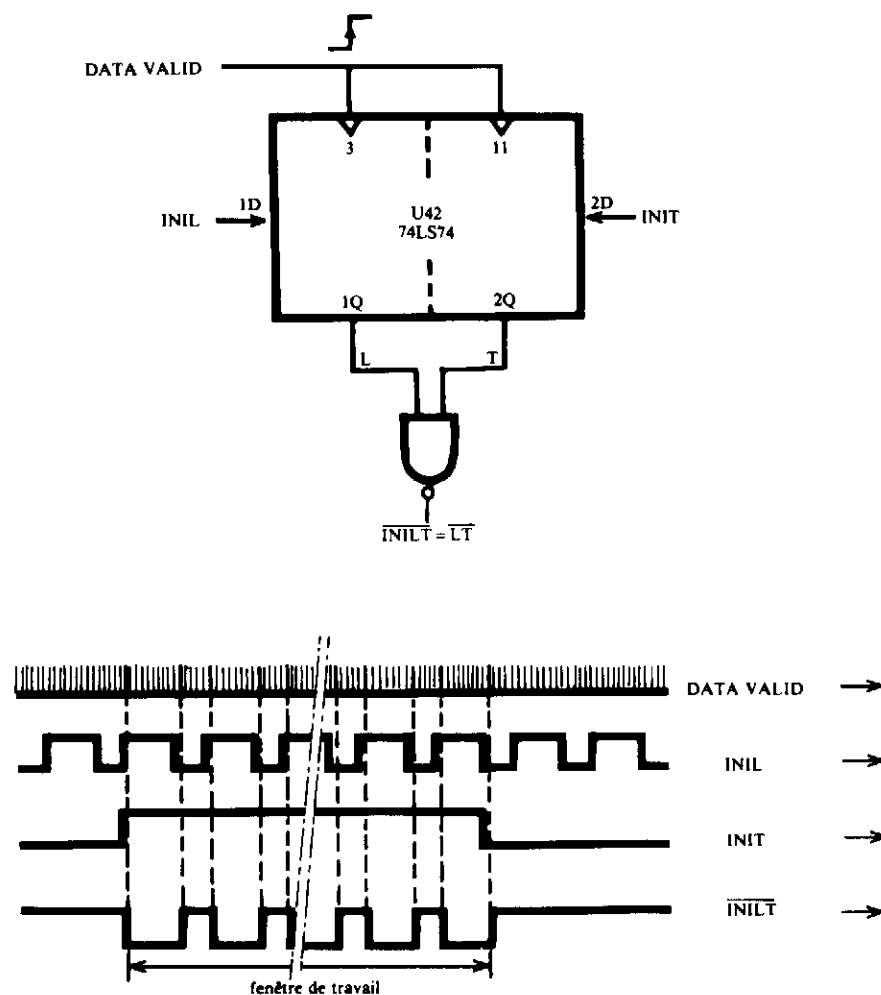
Le signal de réinitialisation générale en début de fenêtre est obtenu par synchronisation de CLRT et CLRL qui fournissent donc \overline{CLRG} .

GÉNÉRATION DE \overline{CLRG}



De même le signal $\overline{\text{INILT}}$ de strobe du multiplexeur RVB, interdisant toute information en dehors de la fenêtre de travail est généré à partir de INIL et INIT eu synchronisation avec le front montant de DATAVALID.

GÉNÉRATION DE $\overline{\text{INILT}}$

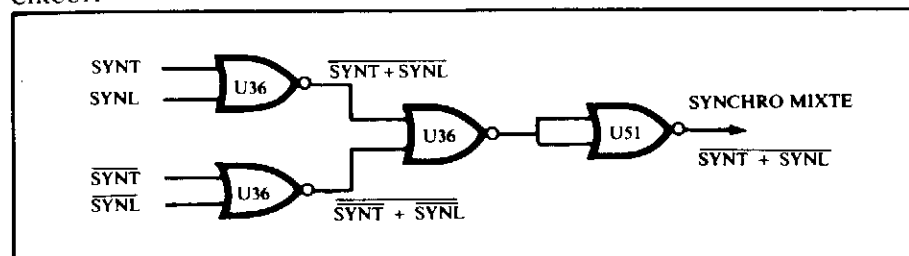


3. Génération de la synchronisation mixte

Le signal de synchronisation mixte qui définit le balayage de l'écran et positionne la fenêtre de travail est équivalent à un OU exclusif entre les signaux de synchronisation trame SYNT et ligne SYNL.

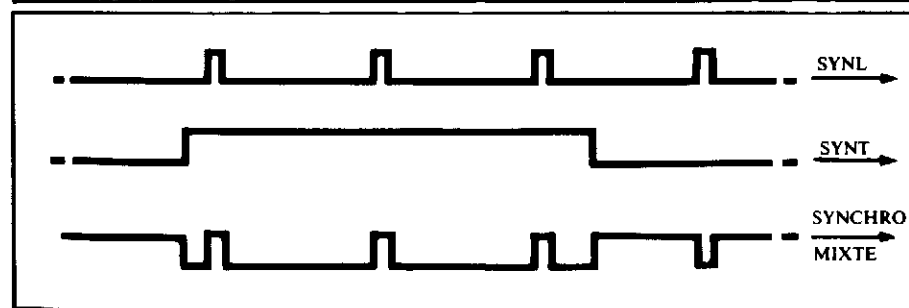
GÉNÉRATION DE LA SYNCHRONISATION MIXTE

CIRCUIT



$$\text{SYNCHRO MIXTE} = \text{SYNT SYNL} + \overline{\text{SYNT}} \overline{\text{SYNL}}$$

Circuit équivalent : NON OU EXCLUSIF



C'est ce signal qui atténué par un circuit résistif R49-60-61 est envoyé sur la borne 20 de la prise PERITEL via le connecteur J4.

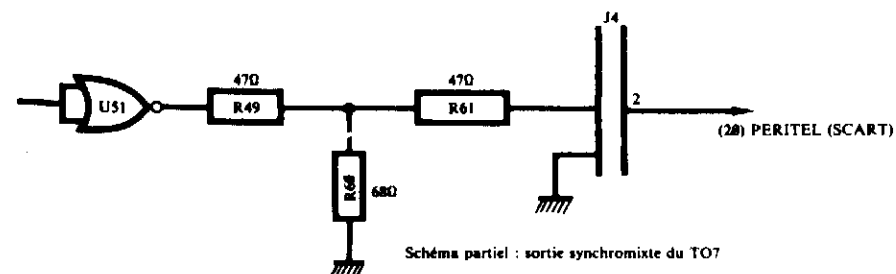


Schéma partiel : sortie synchroniste du TO7

2.5 Fonctionnement du crayon optique

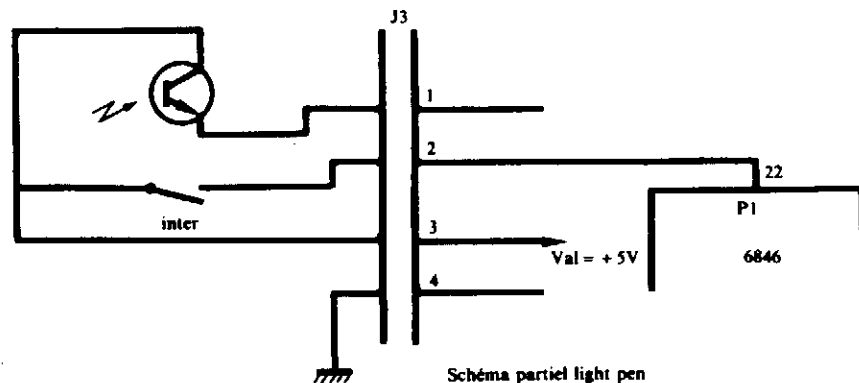
Le crayon optique est constitué de deux éléments indépendants :

- un interrupteur de validation,
- un phototransistor de détection optique.

A — Fonctionnement de l'interrupteur

Cet interrupteur unipolaire est relié :

- d'une part à la tension d'alimentation +5V,
- d'autre part au bit P₁ du port parallèle du 6846, bit tiré à la masse par la résistance R8 de 1KΩ.



Le fonctionnement de cet interrupteur ne peut être actif que grâce à un SOFT convenable. La routine LPINT teste le bouton du light-pen et revient avec C=1 si le bouton est fermé (actif) et C=0 si ce bouton est ouvert (repos). (C'est le bit de carry du registre d'état du 6809).

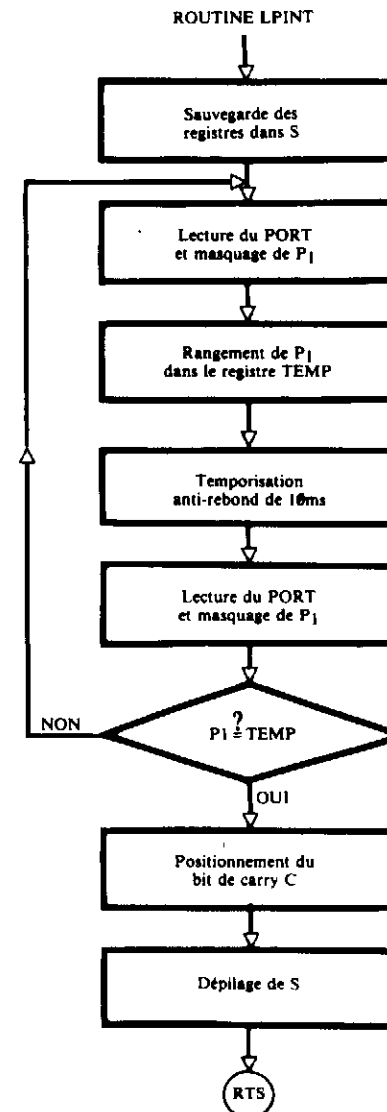
Cette routine a son point d'entrée en LPIN\$=&HE81B, et utilise un registre temporaire 16 bits TEMP=&H606C. Son analyse est faite ci-après.

```

1393          PSCT
1397 *
1398 ***** LECTURE DE L'INTERRUPTEUR LIG
HT-PEN
1399 *
1400 LPINT      FSHS      A,X
1401 LPIN2      LDA       PRC
1402           ANDA      #2
1403           STA       >TEMP
1404           LDX       #1250
10 MSEC D'ANTI-REBOND
1405 LPIN1      LEAX      -1,X
  
```

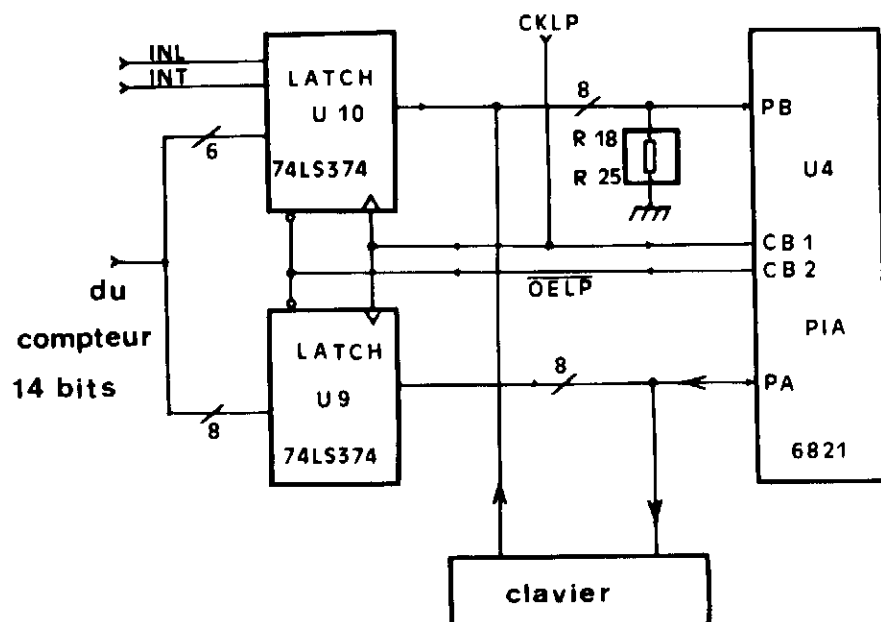
```

1406          BNE       LPIN1
1407          LDA       PRC
1408          ANDA      #2
1409          CMPA      >TEMP
1410          BNE       LPIN2
1411          ADDA      #$FF
'C=1 si A<>0 (flag d'interrupteur ferme)
1412 *' et C=0 si A=0 (flag d'interrupteur ouvert)
1413 INT      PULS      A,X,PC
  
```



Avant de rendre la main, la routine GETLP remplace le PIA 6821 système en mode clavier (voir ci-après), c'est-à-dire remet le CB2 à 1 pour verrouiller les deux latches et remet le port B en output pour permettre la scrutation. De même les interruptions par CB1 sont verrouillées.

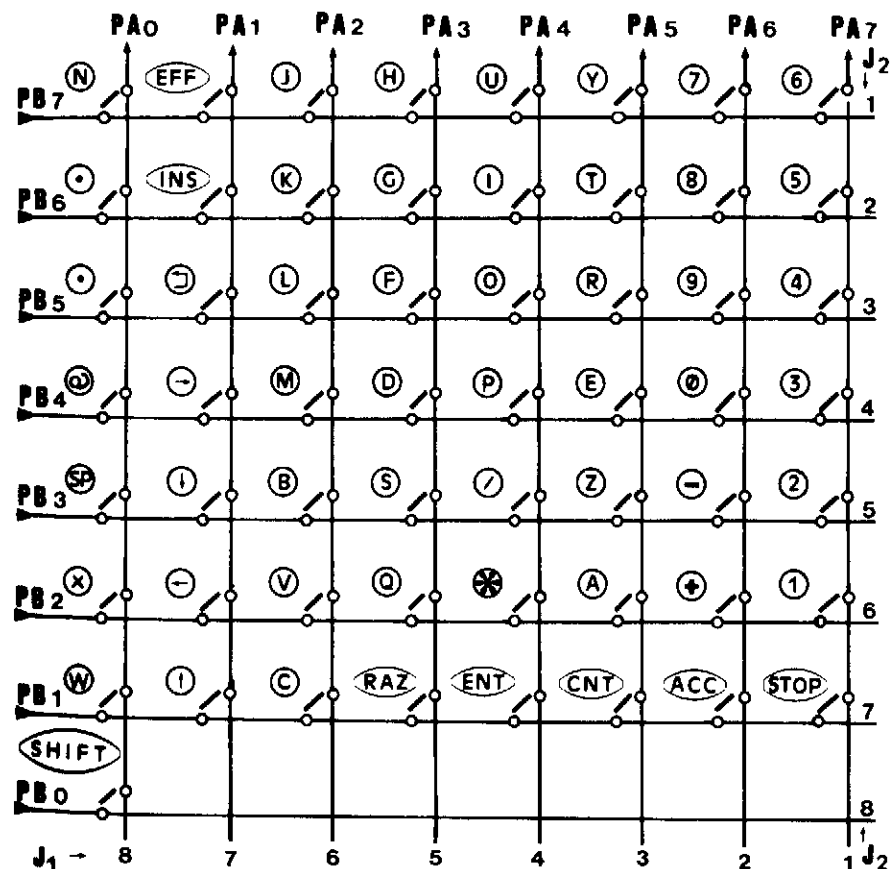
Principe



2.6 Fonctionnement du clavier

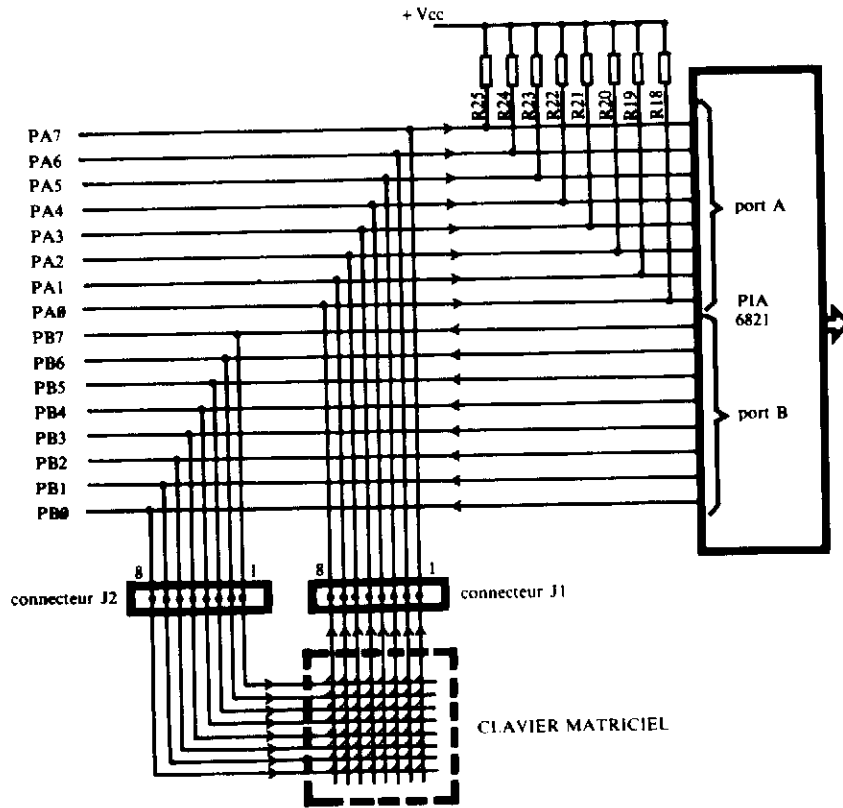
Le clavier du TO7 est une matrice de 8 lignes et 8 colonnes. Les huit lignes sont reliées via le connecteur J2 au port B du PIA 6821 système, les huit colonnes étant reliées via J1 au port A du même PIA.

Disposition des touches



Dès l'initialisation le logiciel du moniteur positionne le port A en entrée et le port B en sortie. Les lignes d'entrées du port A sont reliées au + Vcc = 5V de telle façon que si aucune touche n'est enfoncée toutes les entrées du port A soient au "1" logique.

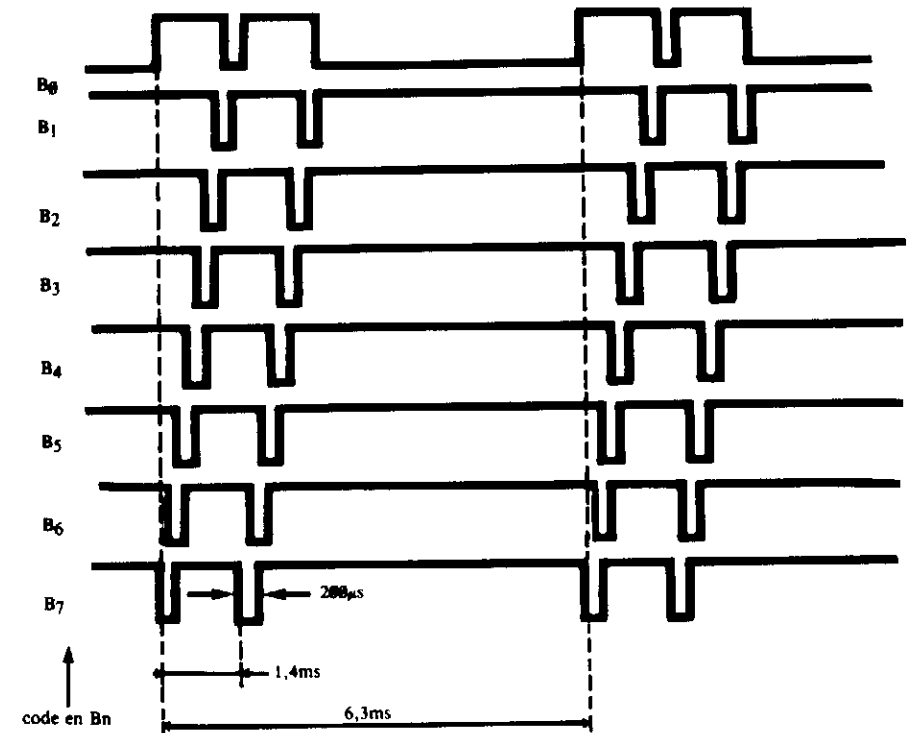
SYSTÈME-CLAVIER



Puis le logiciel porte successivement, l'une après l'autre les sorties du PORT B au OV (fonctionnement en "scanning") pendant que le PORT A est lu :

- Si $PRA = \$H\ FF \rightarrow$ aucune touche n'est enfoncée sur la ligne à 0
- Si $PRA \neq \$H\ FF \rightarrow$ une touche est enfoncée sur la ligne à 0.

Signaux de scanning



Dans ce dernier cas la connaissance des valeurs des PORT A et B permet le décodage du clavier et le logiciel peut alors restituer la lettre frappée.

C'est la routine GETCH qui assure la lecture de la touche :

- après une première lecture et un anti-rebond de 5 msec une deuxième lecture renvoie sous forme numérique le code de la touche dans Y. Les valeurs numériques décroissent de 57 à 1 depuis la touche SHIFT jusqu'à la touche N (SHIFT, STOP, ACC, ..., W, I, +, A, ...N) ;
- si aucune touche n'est enfoncée Y revient avec la valeur 0 ce qui provoque un retour de SP, sinon on teste le bit 0 du registre STATUS qui indique si une touche a déjà été lue et si dans ce cas il s'agit toujours de la même touche (auto-répétition éventuelle) ;

— s'il s'agit de la première frappe ou d'une nouvelle touche on procède alors au décodage c'est-à-dire, par lecture d'une table, de la conversion ASCII. Dans cette partie du programme sont testées les touches SHIFT et CNT qui commandent, les passages MAJ/min. avec commande de la led d'indication (bit 3 du PRC du 6846 à 0 ⇒ led éteinte et MAJ, à 1 ⇒ led allumée et minuscule, etc.)

En sortie de cette routine, le code ASCII de la touche se trouve dans le registre B.

Une routine de test rapide des touches est implantée en `KTST$ = &HE809` qui met le bit de carry C à 1 si une touche est enfoncée ou à 0 dans le cas contraire.

Le listing très simple de ce programme est donnée ci-dessous.

```

1553 *
1554 ***** CONTROLE RAPIDE DES TOUCHES *
1555 *
1556 *
1561 KTST      PSHS      A
1562           CLR        PRB
MISE A 0 DES COLONNES
1563           LDA        PRA
1564           CMPA       #$FF
      CMPA effectue la soustraction :
1565 ' $FF-$FF met le carry a 0 (flag d'
absence de touche) et <>$FF-$FF met le
1566 ' carry a 1 (flag de touche enfonce
e).
1567           PUL        A,PC

```

Sur le TO7-70 on accède à la table de décodage du clavier via un pointeur PTCLAV situé en page 0 (\$60CD, \$60CE) ce qui permet à l'utilisateur de reconfigurer son clavier.

2.7 Le système de décodage d'adresse

Le rôle du système de décodage d'adresse est de générer des signaux de validation permettant la sélection de chaque boîtier (ou groupes de boîtiers) de circuit intégré dans la zone de mémoire qui lui est affectée.

La carte mémoire (voir paragraphe 5.1 chapitre 5) permet de situer les principales zones à sélectionner.

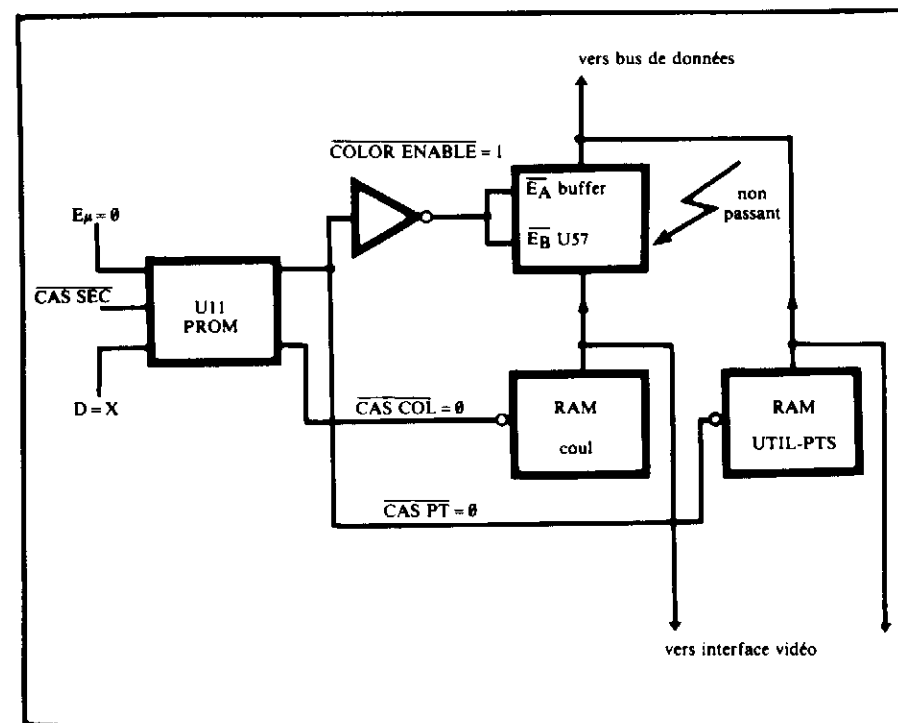
Les signaux d'adressage des mémoires RAMS dynamiques ont été étudiés dans les chapitres précédents. Il s'agit des signaux :

— $\overline{\text{CAS POINT}}$, actif de 4000 à 7FFF, qui validera la RAM utilisateur/point.

— $\overline{\text{CAS COL}}$, actif de 4000 à 7FFF, qui validera la RAM couleur.

— $\overline{\text{CAS EXT}}$, actif de 8000 à BFFF, qui validera l'extension RAM 16 K.

Afin d'éviter les conflits lecture point/couleur vers le bus de données, un signal $\text{COLOREnable} = \overline{\text{CAS PT}}$ verrouillera le buffer U57 pendant une lecture point, au cours du cycle vidéo ($E_\mu = 0$).



Ces signaux sont obtenus en sortie d'une PROM à fusibles (6331-1 ≡ U11) adressée par :

- le bit P0 du port PRC du 6846
- les bits d'adresses du 6809, A₁₃, A₁₄ et A₁₅
- le signal d'horloge du μP, E_μ

Cette PROM n'est active que pendant le niveau bas du signal $\overline{\text{CAS SEC}}$ généré à partir de CLOCK (2MHz). Donc la PROM sera active pendant que E_μ est à 0 et pendant que E_μ=1 ce qui permet l'accès aux RAMS points et couleur même pendant la phase non active du 6809, afin de permettre la lecture automatique pour la commande de la vidéo.

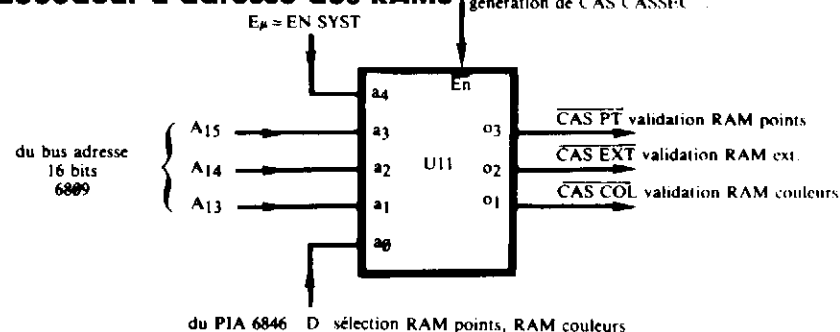
Quand $\overline{\text{CAS SEC}}$ est au niveau haut, les RAMS ne sont pas validées. La table de fonctionnement de cette PROM (pour $\overline{\text{CAS SEC}} = 0$) et l'affectation des zones mémoires correspondantes sont données ci-dessous :

Table de fonctionnement (programmation) pour $\overline{\text{En}}=0$

ADRESSAGE					SORTIES		
a ₄	a ₃	a ₂	a ₁	a ₀	O ₃	O ₂	O ₁
0					0	1	0
1	0	0			1	1	1
1	0	1	0	0	1	1	0
1	0	1	0	1	0	1	1
1	0	1	1		0	1	1
1	1	0			1	0	1
1	1	1			1	1	1

UTILISATION EN 32 × 3 BITS

décodeur d'adresse des RAMS



Affectation des zones mémoires

adressage PROM :					A ₁₅ A ₁₄ A ₁₃	taille	génération de :		
a ₄ EN SYST	a ₀ D	a ₃ A ₁₅	a ₂ A ₁₄	a ₁ A ₁₃	zones mémoires adressées		CAS point validation de RAM util-point	CAS EXT validation de l'extension	CAS COL validation RAMS coul.
0	x	x	x	0	xx0x	56K	OUI	non	OUI
1	x	0	0	x	0000 à 3FFF	16K	non	non	non
1	0	0	1	0	4000 à 5FFF	8K	non	non	OUI
1	1	0	1	0	4000 à 5FFF	8K	OUI	non	non
1	x	0	1	1	6000 à 7FFF	8K	OUI	non	non
1	x	1	0	x	8000 à BFFF	16K	non	OUI	non
1	x	1	1	x	C000 à FFFF	16K	non	non	non

La gestion des banques 16K RAM sur le TO7-70 fait l'objet d'un paragraphe spécial en fin de cet ouvrage.

Les signaux d'adressage des mémoires ROMS, ainsi que ceux des divers PIA système ou extensions, sont obtenus à partir d'un décodeur d'adresse (74LS139 ≡ U14) et de circuits logiques supplémentaires pour les PIAS.

Le circuit U14, double décodeur de 2 donne 4, est adressé par les 4 bits de poids fort du bus d'adresse du 6809, A₁₂-A₁₅. Il permet d'obtenir directement les signaux :

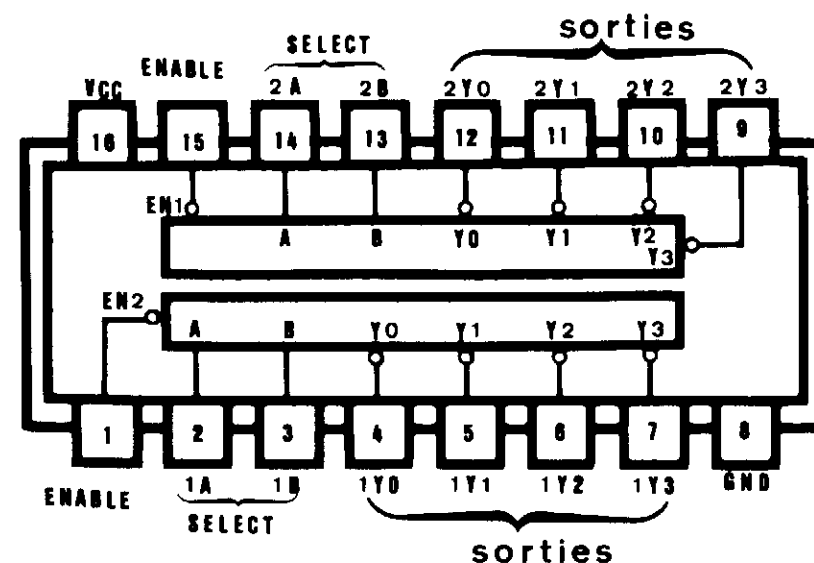
— $\overline{\text{CSROM}}$, actif de 0000 à 3FFF, qui validera la cartouche du mémo7.

— $\overline{\text{CSRAMSYST}}$, actif de 4000 à 7FFF, qui permet de soulager le bus de données lorsqu'on travaille avec les RAMS système (voir les signaux de gestion des entrées/sorties de RAMS chapitre 2.3 D).

— $\overline{\text{EXT}}$, actif de 8000 à BFFF (voir comme ci-dessus le chapitre 2.3 D).

— $\overline{\text{CSF}}$, actif de F000 à FFFF, qui validera la ROM "moniteur" (2532 ≡ U3).

Double décodeur de 1 parmi 4

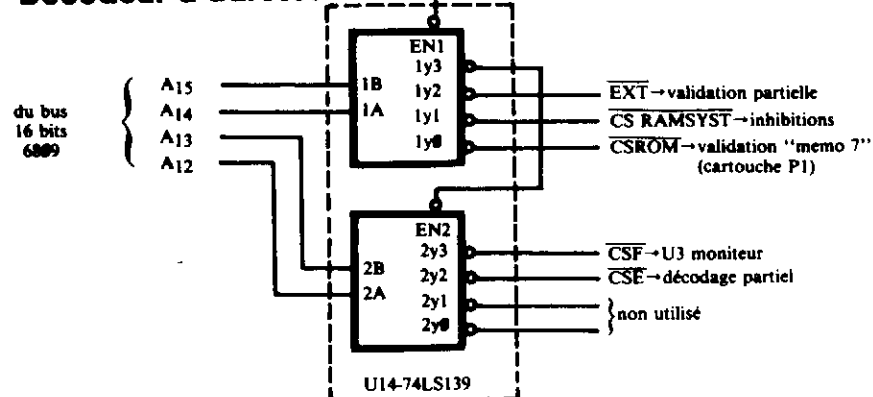


Restent alors les signaux $\overline{\text{CSC}}$ et $\overline{\text{CSD}}$ qui valident la plage d'adresses de C000 à CFFF puis D000 à DFFF et ne sont pas utilisés par le système. Ces signaux sont disponibles sur le bus standard (connecteurs arrières du TO7) et seront utilisés pour valider certaines extensions.

Table de fonctionnement pour 1 décodeur

entrées			sorties			
ENABLE	SELECT					
\overline{EN}	B	A	Y ₃	Y ₂	Y ₁	Y ₀
1	X	X	1	1	1	1
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1

Décodeur d'adresse



Affectation des zones mémoires

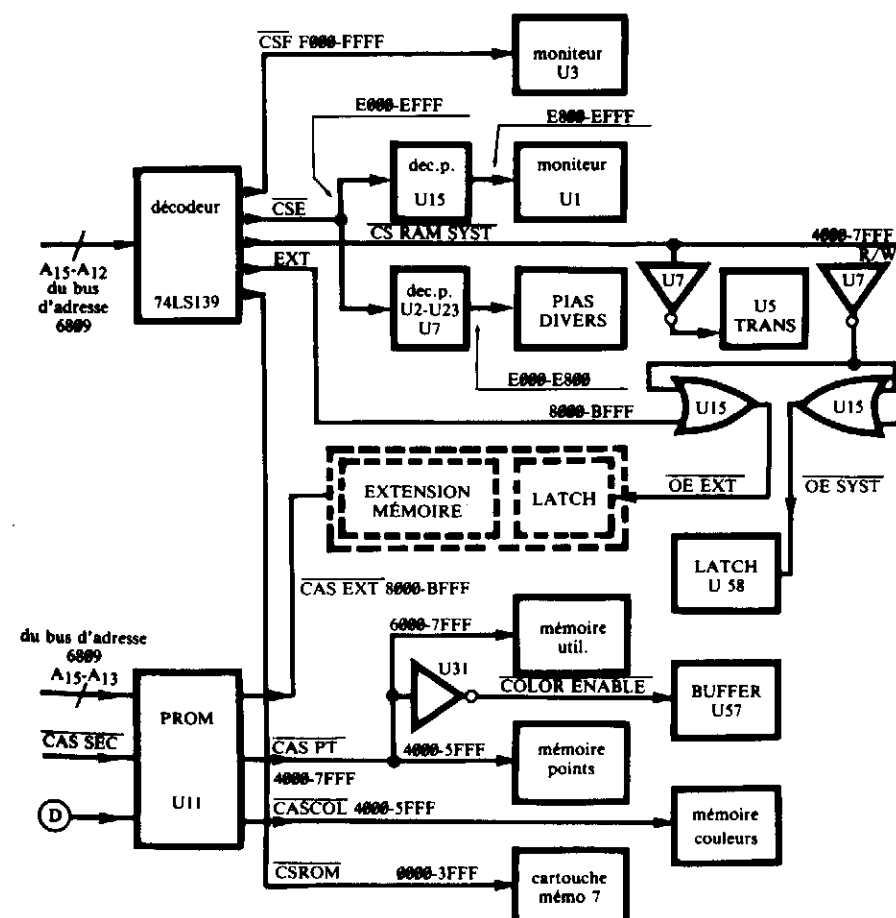
Zones adressées	taille	sortie validante	commentaires
0000 à 3FFF	16K	$\overline{\text{CS}} \text{ ROM}$	validation de la cartouche mémo 7
4000 à 7FFF	16K	$\overline{\text{CS}} \text{ RAM SYST}$	inhibitions de données
8000 à BFFF	16K	$\overline{\text{EXT}}$	validation partielle de la RAM ext.
C000 à CFFF D000 à DFFF	8K	$\overline{\text{CSC}}$ $\overline{\text{CSD}}$	non utilisé
E000 à EFFF	4K	$\overline{\text{CSE}}$	validation partielle
F000 à FFFF	4K	$\overline{\text{CSF}}$	validation de la ROM U3 2532 "moniteur"

Le signal CSE, validant la plage E000 à EFFF va être utilisé avec d'autres bits d'adresses du bus 6809 pour valider :

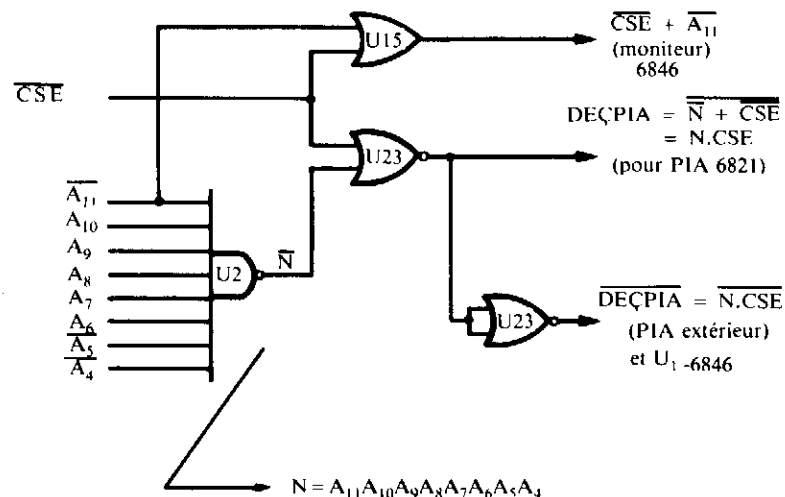
— de E7C0 à E7CF, signaux E7CX et E7CX, les PIA du système et de certaines extensions. Ces signaux sont réalisés à partir de CSE et de portes logiques conformément au schéma ci-dessous

— de E800 à EFFF, signal $\overline{\text{CSE}} + \overline{\text{ATI}}$, les 2K de “moniteur” implantés dans la ROM du 6846.

Synoptique



DÉCODAGES PARTIELS

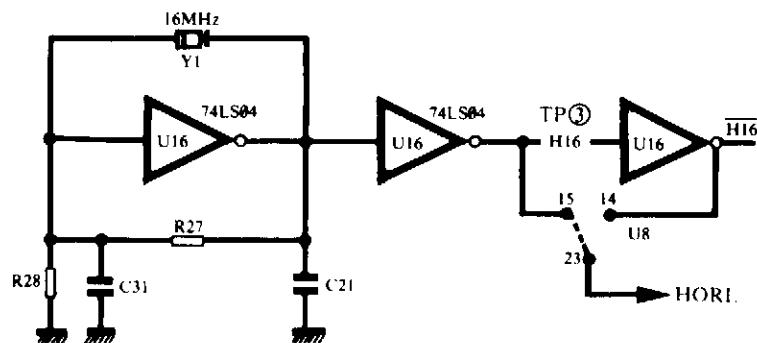


2.8 L'horloge

La base de l'horloge est un oscillateur 16 MHz à quartz réalisé autour d'une porte inverseuse U16 \equiv 74LS04.

Génération de H16.

$$R_{27} = R_{28} = 2,2k\Omega \quad C_{31} = 120pF$$

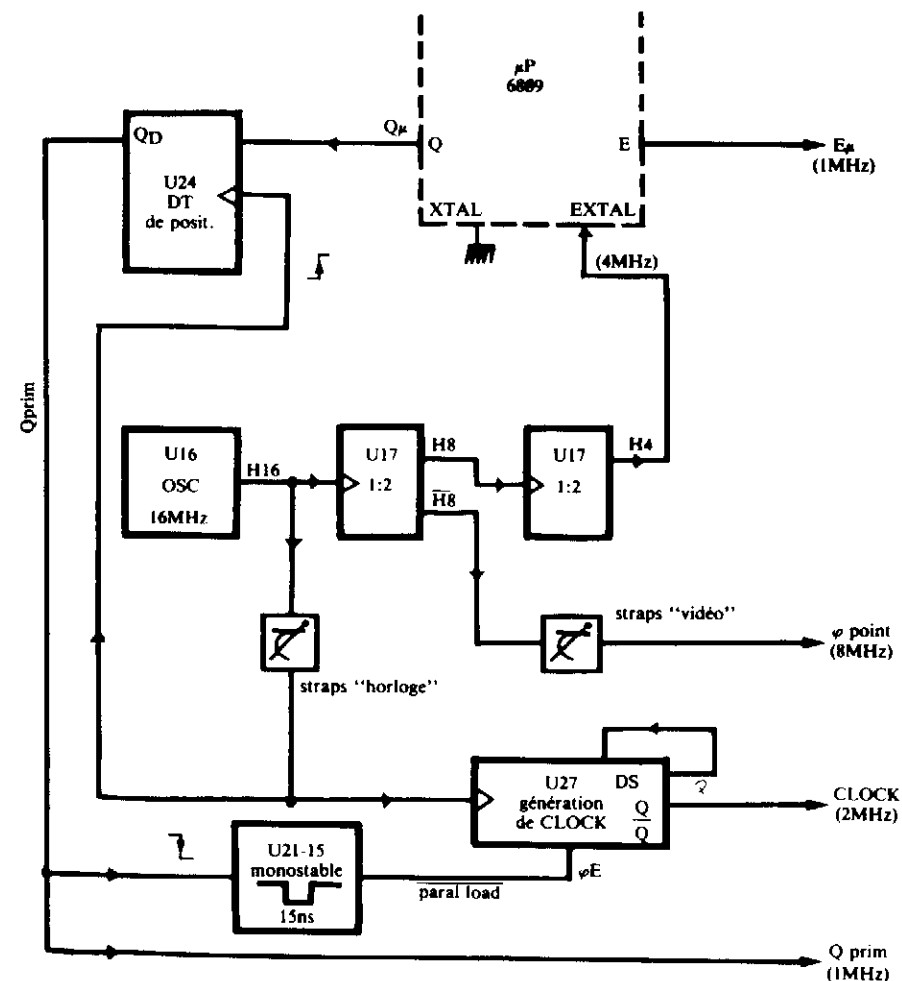


C'est ce signal H16 qui divisé une première fois par 2 ($U17 = 1/2 \text{ 74LS74}$) fournira point, signal 8MHz d'attaque du sérialisateur des bits points vidéo.

Par une nouvelle division par 2 (U17) on obtiendra H4, signal 4MHz d'entrée EXTAL du 6809 à partir duquel sont élaborés par le microprocesseur, les signaux en quadrature E_{μ} et Q_{μ} (1MHz).

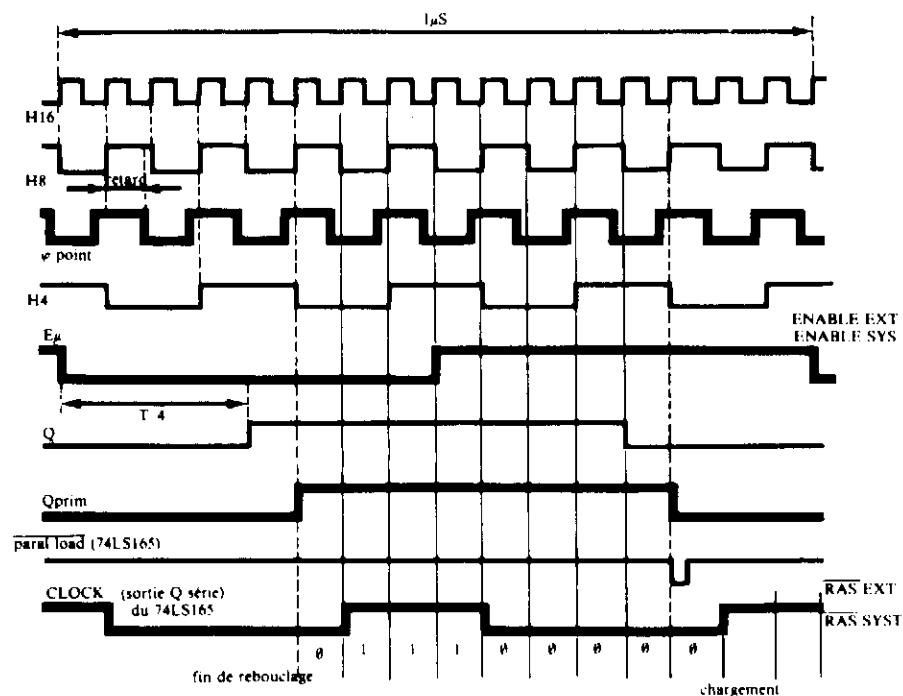
Le signal Q_{μ} sera resynchronisé sur le front montant de H16 pour fournir Q prim nécessaire au système de contrôle d'écran.

Conception générale



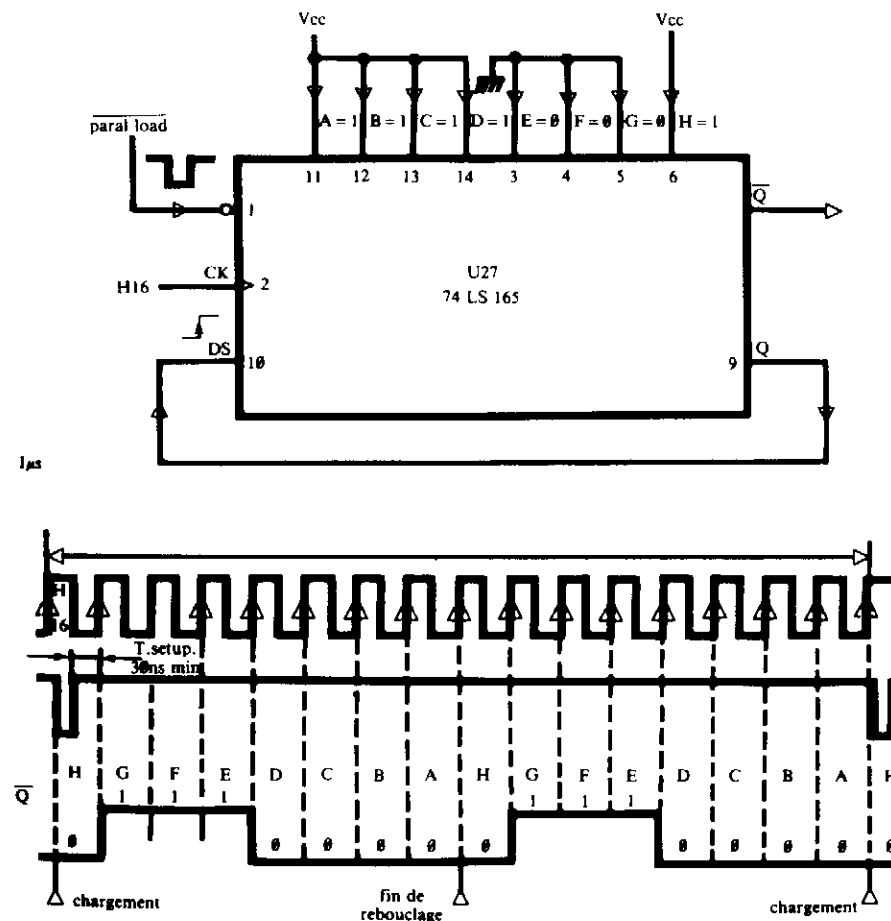
Reste à élaborer le signal CLOCK (2MHz) dissymétrique utilisé par le système de mémorisation ($\overline{\text{CASPRIM}}$ et $\overline{\text{DATAVALID}}$). Ce signal synchronisé par H16 doit être en étroite relation de phase avec Q prim. On l'obtiendra donc à l'aide d'un registre parallèle/série dont l'entrée de chargement PARALLOAD sera fournie à partir de Q prim et dont l'horloge de sérialisation sera H16.

Timing simplifié



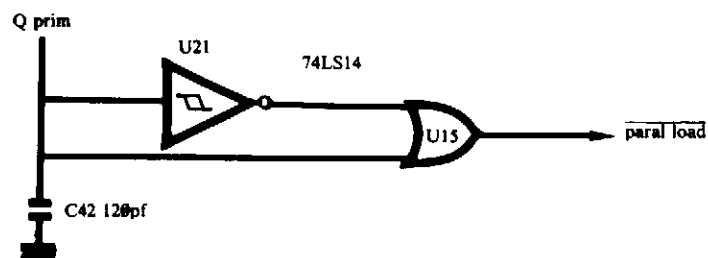
L'entrée de chargement n'apparaissant que toutes les μs, il est nécessaire de sortir deux cycles CLOCK entre chaque chargement. On obtient ce résultat en rebouclant la sortie Q sur l'entrée série DS. La sortie CLOCK de ce registre à circulation est prise sur la sortie \overline{Q} du circuit U27 (74LS165).

Génération du signal "CLOCK"

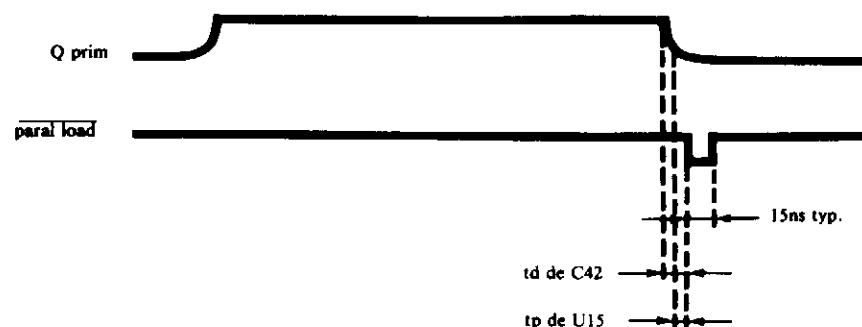


Le signal de chargement est obtenu par un monostable déclenché par Q prim et utilisant le temps de propagation de 15ns typ du circuit de trigger U21 (74LS14).

Schéma de principe : génération de $\overline{\text{paral load}}$



Signal de sortie



2.9 L'alimentation

L'alimentation du TO7 doit fournir les 3 tensions de ± 5 V et 12 V. Le primaire 220 V est protégé par un fusible de 315 mA et peut fournir un maximum de 65 VA.

Les tensions secondaires sont obtenues à partir de régulateurs intégrés du type :

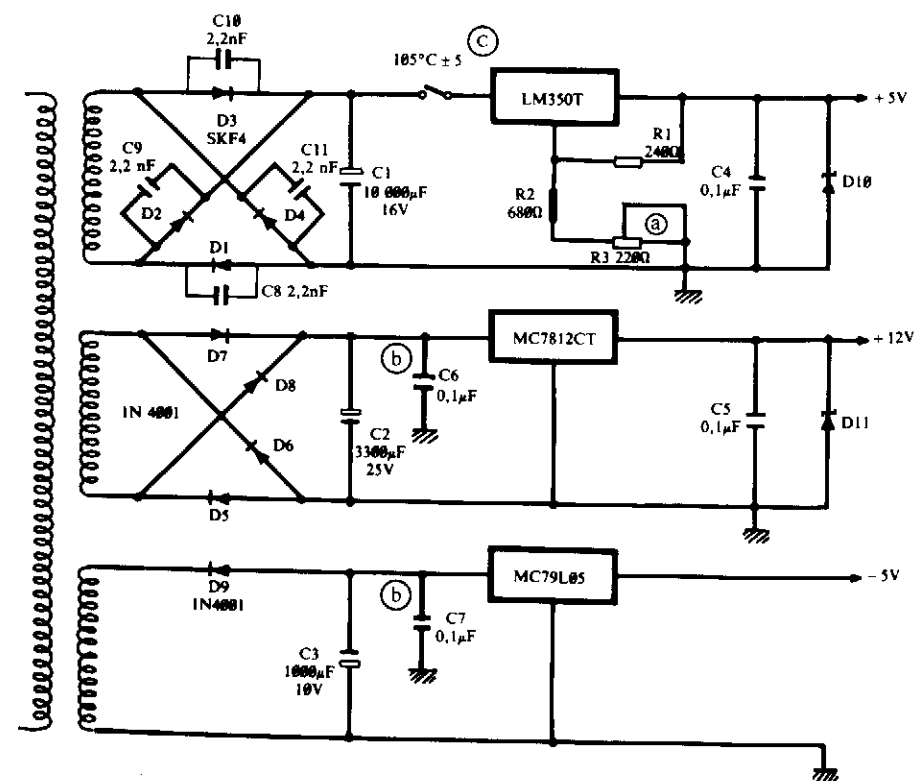
— LM350T, ajustable à +5 V, pour tous les circuits logiques, pour la com-

mutation rapide de la prise PERITEL. Ce circuit est protégé contre les courts-circuits jusqu'à 4,5 A. Une disjonction thermique est assurée à 105° C.

— MC7812 CT, régulateur 12 V, pour les RAMS dynamiques, pour la commutation lente PERITEL, pour l'extension RS232 et l'ampli du light-pen. Ce circuit est protégé contre les courts-circuits jusqu'à 1A. Une prise +12 V est assurée à l'arrière du TO7 pour l'alimentation du codeur-modulateur PERITEL → UHF (TV).

— MC79L05, régulateur -5 V, pour les RAMS dynamiques, l'extension RS232 et l'amplificateur de light-pen. Ce circuit est protégé contre les courts-circuits jusqu'à 100 mA.

ALIMENTATION



Les consommations du TO7 seul (sans extension) sont :

+5 V — 1A
+12 V — 220 mA
-5 V — 5mA

2.10 CPU-BUS & PIA

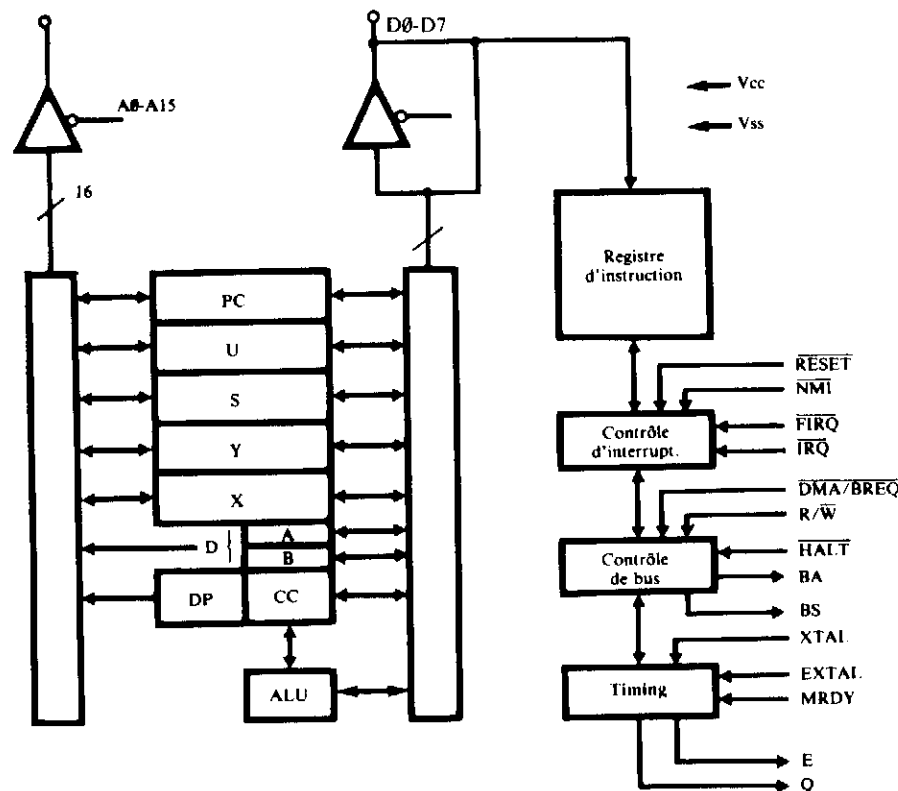
• Le Microprocesseur 6809

Microprocesseur 8 bits, le 6809 a en fait une structure interne 16 bits puisque tous ses registres sont des registres 16 bits (X, Y, U, S et PC) ou 8 bits concaténables (A et B peuvent devenir $D = A_{MSB} + B_{LSB}$).

Seuls le registre d'état CCR et le registre de page directe DP ont une structure 8 bits.

Microprocesseur monotension (+5 V) il nécessite un signal d'horloge 4MHz et fabrique lui-même deux signaux E et Q à 1MHz en quadrature de phase. Les adresses sont validées sur le front montant de Q, et les données mémorisées sur le front descendant de E.

A la mise sous tension, ou lors d'une réinitialisation manuelle par mise à zéro de l'entrée RESET, le compteur programme est chargé avec l'adresse contenue en \$FFFE, \$FFFF. Tous les registres sont initialisés et en particulier le registre de page directe DP, utilisé en mode d'adressage direct est mis à zéro pour comptabilité avec la page 0 du 6800.



— Structure

Outre les deux accumulateurs A et B utilisés pour les calculs et les manipulations des données et concaténables en un accumulateur D de 16 bits, le 6809 possède 4 registres 16 bits, X, Y, U et S pouvant servir de registres d'index ou de pointeurs de pile.

X et Y sont plutôt destinés à servir d'index, alors que U et S le sont à servir de pointeurs pour la pile utilisateur (rôle de U) et la pile système (rôle de S). Toutefois rien n'empêche de permuter ces différents rôles :

— le mode indexé permet en effet d'utiliser comme registre d'index, aussi bien X et Y que U et S,

— dans certains cas le compteur programme peut agir également comme un registre d'index.

Les instructions TFR et EXG permettent le transfert d'un registre (ou d'un accumulateur) dans un autre, ou l'échange de deux registres (ou de deux accumulateurs).

— Description du registre codes condition

Ce registre 8 bits contient des indicateurs de résultats ou des masques d'interruption :

— le BIT0 (C) indique s'il est à un "1", qu'une retenue a eu lieu lors de la dernière opération effectuée.

— le BIT1 (V) indique s'il est à "1" qu'il y a eu débordement, c'est-à-dire que la retenue du MSB n'est pas la même que celle du MSB-1.

— le BIT2 (Z) indique s'il est à "1" que la dernière opération a donné un résultat nul.

— le BIT3 (N) indique un résultat négatif. En complément à deux, N sera donc mis à un.

— le BIT4 (I) masque les interruptions \overline{IRQ} .

— le BIT5 (H) est le bit de demi-retenue. Il est utilisé dans l'opération d'ajustement décimal.

— le BIT6 (F) masque les interruptions \overline{FIRQ} .

— le BIT7 (E) indique s'il est à un que l'état complet de la machine a été empilé sur la pile système S.

— Les modes d'adressage :

Adressage inhérent :

Dans ce mode d'adressage, il n'y a aucun échange avec l'extérieur du 6809. Exemple EXG A, B, qui échange les contenus de A et B.

Adressage immédiat :

Dans ce mode d'adressage, la valeur à traiter suit immédiatement le code opération. Exemple LDB #2 qui met la valeur 2 (%00000010) dans l'accumulateur B.

Adressage étendu :

Dans ce mode d'adressage, la donnée à traiter se trouve à l'adresse qui suit le code instruction. Exemple LDX \$E80C chargera X avec la donnée 16 bits rangée en E80C (MSB) et E80D (LSB).

Adressage direct :

Dans ce mode d'adressage, la donnée à traiter correspond à l'adresse dont les 8 bits LSB suivent le code instruction, les 8 bits MSB étant dans le registre de page directe DP.

Exemple STB \$0A rangera le contenu de B en 400A si DP contient \$40.

Adressage étendu indirect :

Dans ce mode d'adressage, la donnée a pour adresse, celle qui se trouve rangée à l'adresse qui suit le code instruction.

Adressage relatif court :

Dans ce mode d'adressage, on ajoute au compteur programme (qui pointe déjà l'instruction suivante) la valeur qui suit l'instruction de branchement. Cette valeur doit être comprise entre 00 et FF ce qui ne permet donc des branchements que de +127 en avant ou de -128 (en arrière).

Adressage relatif long :

Dans ce mode d'adressage, comme le précédent, on ajoute au compteur programme la valeur qui suit les codes d'instructions. On peut dans ce cas se brancher dans toute la zone des 64 K mémoire.

Adressage indexé :

Dans ce mode d'adressage, l'un des registres sert d'index pour le calcul de l'adresse exacte de la donnée.

Adressage indexé indirect :

Dans ce mode d'adressage indexé, l'adresse obtenue ne contient pas la donnée, mais l'adresse de la donnée.

Pour tous ces adressages on se reportera à l'Annexe 1 du 6809 en fin d'ouvrage.

— Les interruptions

FFFE	FFFF	RESET
FFFC	FFFD	NMI
FFFA	FFFB	SWI
FFF8	FFF9	IRQ
FFF6	FFF7	FIRQ
FFF4	FFF5	SWI2
FFF2	FFF3	SWI3
FFF0	FFF1	Réservé

Pointeurs d'interruption

Les interruptions accessibles par l'utilisateur du TO7, car présentes sur le connecteur d'extension sont les suivantes :

RESET : un niveau bas sur cette entrée pendant un temps supérieur à 1µs provoque la réinitialisation du système, ce qui est équivalent à une action manuelle sur le bouton "INITIALISATION PROGRAMME" du TO7.

NMI : un front descendant sur cette entrée, suivi d'un maintien à l'état bas d'au moins 1µs, provoque une interruption non masquable et prioritaire. L'état du 6809 est sauvegardé sur la pile système et le compteur programme est

chargé avec l'adresse contenue par les vecteurs \$FFFC, \$FFFD.

FIRQ : un niveau bas sur cette entrée provoque une séquence d'interruption rapide (prioritaire par rapport à IRQ) car il n'y a sauvegarde sur la pile que du contenu du registre de codes condition et du compteur programme.

Cette demande d'interruption n'est prise en compte que si le bit 6 (F) du CCR est à zéro.

IRQ : un niveau bas sur cette entrée provoque une séquence d'interruption avec sauvegarde sur la pile système de l'état complet du 6809.

Cette demande n'est prise en compte que si le bit 4 (I) du CCR est à zéro.

Diagramme des temps pour les interruptions IRQ et NMI

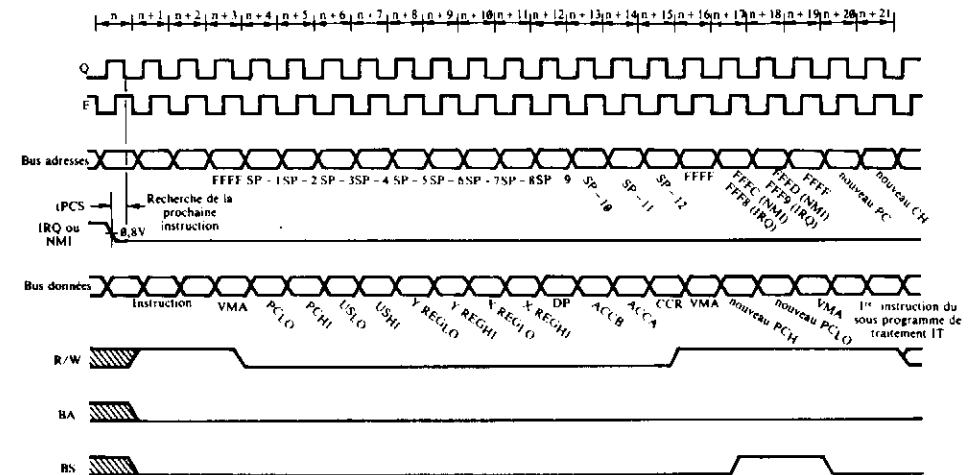


Diagramme des temps pour l'interruption FIRQ

