

**SERVICE**

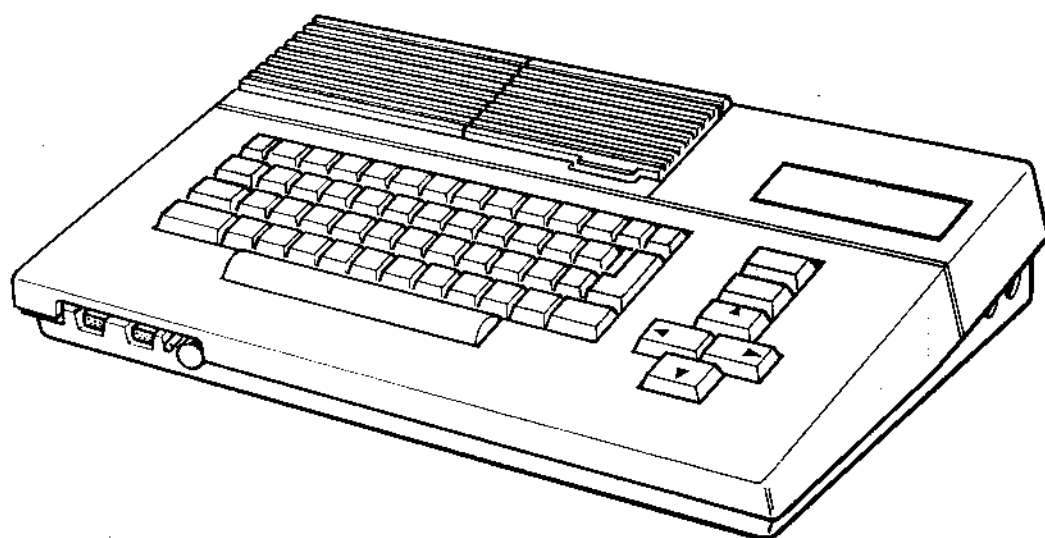
**21 FEV. 1984**



MO5 NR

# DOCUMENTATION TECHNIQUE

# MICRO ORDINATEUR



# MO5 NR

**COFADEL** 166, rue du Landy  
SERVICES 93200 SAINT DENIS



BP 68  
93202 SAINT-DENIS CEDEX 1



(1) 48 20 61 15  
SAV GEN 611 740

COFADEL SERVICE S.A. AU CAPITAL: 39 800 000 F  
SIEGE SOCIAL: 166 RUE DU LANDY 93200 SAINT DENIS  
RCS PARIS B 338 392 442

Code 971TX0093 - Imp. HD - 01/87

Tous droits de reproduction, de traduction, d'adaptation  
et d'exécution réservés pour tous pays.

Les descriptions et caractéristiques figurant sur ce document sont données à titre d'information et non d'engagements. En effet, soucieux de la qualité de nos produits, nous nous réservons le droit d'effectuer, sans préavis, toute modification ou amélioration.

# SOMMAIRE – CONTENTS

<b>I</b>		<ul style="list-style-type: none"> <li>- PRISES ET COMMANDES</li> <li>- SOCKETS AND CONTROLS</li> </ul>
<b>II</b>		<ul style="list-style-type: none"> <li>- CARACTÉRISTIQUES PRINCIPALES</li> <li>- MAIN CHARACTERISTICS</li> </ul>
<b>III</b>		<ul style="list-style-type: none"> <li>- ORGANISATION DE LA MÉMOIRE</li> <li>- MEMORY MAP</li> </ul>
<b>IV</b>		<ul style="list-style-type: none"> <li>- REGISTRES DU GATE MODE PAGE</li> <li>- GATE MODE PAGE REGISTERS</li> </ul>
<b>V</b>		<ul style="list-style-type: none"> <li>- SCHEMA SYNOPTIQUE</li> <li>- BLOCK DIAGRAM</li> </ul>
<b>VI</b>		<ul style="list-style-type: none"> <li>- SCHÉMA DE PRINCIPE</li> <li>- CIRCUIT DIAGRAM</li> </ul>
<b>VII</b>		<ul style="list-style-type: none"> <li>- PRINCIPE DE FONCTIONNEMENT</li> <li>- OPERATING MODE</li> </ul>
		<ul style="list-style-type: none"> <li>A   - PRÉSENTATION GÉNÉRALE DE L'APPAREIL</li> <li>      - GENERAL HARDWARE DESCRIPTION</li> <li>B   - GESTION DE LA MÉMOIRE MORTE</li> <li>      - ROM MANAGEMENT</li> <li>C   - GESTION DE LA MÉMOIRE VIVE</li> <li>      - RAM MANAGEMENT</li> <li>D   - GÉNÉRATION SYNCHRO</li> <li>      - SYNCHRO GENERATION</li> <li>E   - GESTION DU CRAYON OPTIQUE</li> <li>      - LIGHT PEN HANDLING</li> <li>F   - GESTION DE L'AFFICHAGE</li> <li>      - DISPLAY HANDLING</li> <li>G   - GESTION DES COULEURS</li> <li>      - COLOR HANDLING</li> <li>H   - GESTION DU CLAVIER</li> <li>      - KEYBOARD HANDLING</li> <li>I   - CHRONOGRAMMES</li> <li>      - TIMING DIAGRAM</li> </ul>
<b>VIII</b>		<ul style="list-style-type: none"> <li>- INTERFACE NANORÉSEAU®*</li> <li>- NANORESEAU® INTERFACE</li> </ul>
		<ul style="list-style-type: none"> <li>A   - GÉNÉRALITÉS</li> <li>      - GENERAL</li> <li>B   - ANALYSE DU SCHÉMA</li> <li>      - SCHEMATIC DIAGRAM ANALYSIS</li> <li>C   - LE CONTRÔLEUR EF 6854</li> <li>      - EF 6854 CONTROL UNIT</li> </ul>
<b>IX</b>		<ul style="list-style-type: none"> <li>- ALIMENTATION</li> <li>- POWER SUPPLY</li> </ul>
		<ul style="list-style-type: none"> <li>A   - GÉNÉRALITÉS</li> <li>      - GENERAL</li> <li>B   - FONCTIONNEMENT DU MODULATEUR DE LARGEUR D'IMPULSION</li> <li>      - PULSE WIDTH MODULATOR OPERATION</li> <li>C   - SCHÉMA SYNOPTIQUE INTERNE DE IW04</li> <li>      - IW04 INTERNAL BLOCK DIAGRAM</li> <li>D   - ANALYSE DU SCHÉMA</li> <li>      - SCHEMATIC DIAGRAM ANALYSIS</li> <li>E   - PROTECTION CONTRE LES SURTENSIONS</li> <li>      - PROTECTION AGAINST OVERVOLTAGE</li> </ul>
<b>X</b>		<ul style="list-style-type: none"> <li>- CIRCUIT IMPRIMÉ</li> <li>- CIRCUIT BOARD</li> </ul>
<b>XI</b>		<ul style="list-style-type: none"> <li>- LISTE DES PIÈCES DÉTACHÉES</li> <li>- PARTS LIST</li> </ul>

\* NANORÉSEAU® est une marque déposée de LEANORD  
 NANORESEAU® is a registered trademark of LEANORD

# I – PRISES ET COMMANDES SOCKETS AND CONTROLS

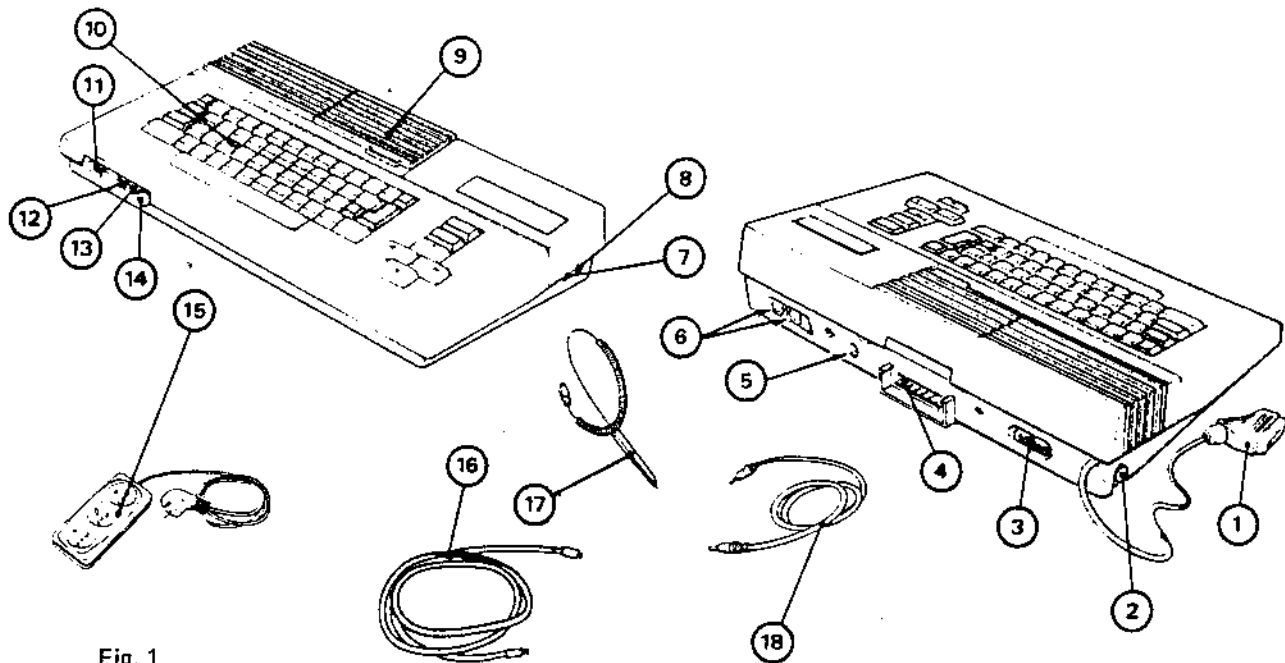


Fig. 1

- 1 – Prise périscopée.
- 2 – Bouton marche-arrêt.
- 3 – Bloc d'interrupteurs (numérotation du poste de travail).
- 4 – Connecteur d'extension polyvalent.
- 5 – Prise d'alimentation.
- 6 – Câble de raccordement au NANORESEAU®.
- 7 – Prise pour le branchement du crayon optique.
- 8 – Prise pour le branchement du lecteur de cassettes.
- 9 – Trappe du connecteur de cartouche programme.
- 10 – Clavier.
- 11 – Connecteur de la première manette de jeu (numéro 0 en BASIC) ou de la souris.
- 12 – Connecteur de la deuxième manette de jeu (numéro 1 en BASIC).
- 13 – Voyant marche-arrêt.
- 14 – Bouton d'initialisation.
- 15 – Boîtier multiprise.
- 16 – Câble de raccordement au NANORESEAU®.
- 17 – Crayon optique.
- 18 – Câble d'alimentation de l'unité centrale par le moniteur.

- 1 – Scart socket.
- 2 – On-off switch.
- 3 – Switch block (work station numbering).
- 4 – Polyvalent extension connector.
- 5 – Power supply socket.
- 6 – Connection cable for the NANORESEAU®.
- 7 – Socket for light pen connection.
- 8 – Socket for cassette player connection.
- 9 – Flap for program cartridge connector.
- 10 – Keyboard.
- 11 – Connector for first joystick (number 0 in BASIC) or mouse.
- 12 – Connector for second joystick (number 1 in BASIC).
- 13 – On-off light.
- 14 – Initialization button.
- 15 – Multisocket package.
- 16 – Connection cable for the NANORESEAU®.
- 17 – Light pen.
- 18 – Cable for powering the CPU from the monitor.

## II - CARACTÉRISTIQUES PRINCIPALES MAIN CHARACTERISTICS

### Présentation

**COFFRET :**  
matière moulée.

**DIMENSIONS :**  
L. 440 - H. 84 - P. 231 mm.

**MASSE :**  
2 kg.

**CLAVIER :**  
AZERTY, 58 touches mécaniques à répétition automatique : majuscules et minuscules accentuées, 53 mots clés BASIC accessibles à l'aide de la touche BASIC, 6 touches de gestion de l'éditeur plein écran.

### Particularités électriques

**ALIMENTATION :**  
18 à 22 volts continus.

**CONSUMMATION :**  
8 W.

**FUSIBLE :**  
T 800 mA.

### Particularités techniques

**MICROPROCESSEUR :**  
6809E - 1 MHz.

**MÉMOIRE :**  
- 64 K ROM extensible comprenant les logiciels intégrés : BASIC 128 et BASIC 1.0 MICROSOFT.  
- 128 K RAM non extensible.

**ÉCRAN :**  
sortie RVB + son par prise périscopie  
- 320 x 200 points - 16 couleurs (40 colonnes)  
- 640 x 200 points - 2 couleurs (80 colonnes)  
- 320 x 200 points - 4 couleurs point par point (40 colonnes)  
- 160 x 200 points - 16 couleurs point par point  
- 320 x 200 points - 3 couleurs avec un niveau de transparence  
- 320 x 200 points - 2 couleurs avec affichage alternatif de 2 pages  
- 160 x 200 points - 5 couleurs avec 3 niveaux de transparence  
- Les couleurs sont sélectionnées dans une palette proposant 4096 nuances.

**CRAYON OPTIQUE :**  
résolution 320 x 200 points.

**MUSIQUE :**  
synthèse musicale intégrée 4 voix sur 5 octaves.

**CONNECTEURS :**  
- connecteur d'extension polyvalent  
- connecteur d'alimentation  
- 2 prises DIN 5 broches pour le raccordement au réseau  
- prise DIN 5 broches pour le Lecteur Enregistreur de programmes  
- prise DIN 5 broches pour le crayon optique  
- 2 prises Sub-D 9 points pour souris, manettes de jeux  
- une trappe pour cartouche de programme ou de langage.

**NUMÉROTATION DE POSTE :**  
par un bloc de 6 interrupteurs.

### Présentation

**CASING :**  
moulded material.

**DIMENSIONS :**  
L. 440 - H. 84 - D. 231 mm.

**WEIGHT :**  
2 kg.

**KEYBOARD :**  
AZERTY, 58 mechanical keys with automatic repetition: accented upper and lower case, 53 key BASIC words accessible through the BASIC key, 6 keys for handling the full-screen editor.

### Electrical features

**POWER SUPPLY :**  
18 to 22 volts DC.

**CONSUMPTION :**  
8 W.

**FUSE :**  
T 800 mA.

### Technical features

**MICROPROCESSOR :**  
6809E - 1 MHz.

**MEMORY :**  
- 64 K expandable ROM, including these integrated softwares: BASIC 128 and BASIC 1.0 MICROSOFT.  
- 128 K non-expandable RAM.

**SCREEN :**  
RGB + sound output through scart socket  
- 320 x 200 pixels - 16 colors (40 columns).  
- 640 x 200 pixels - 2 colors (80 columns).  
- 320 x 200 pixels - 4 colors pixel by pixel (40 columns).  
- 160 x 200 pixels - 16 colors per pixel.  
- 320 x 200 pixels - 3 colors with a transparency level.  
- 320 x 200 pixels - 2 colors with alternative 2-page display.  
- 160 x 200 pixels - 5 colors with 3 transparency levels.  
- The colors are selected from a palette offering 4096 shades.

**LIGHT PEN**  
320 x 200 pixel resolution.

**MUSIC**  
musical synthesis of 4 voices over 5 octaves integrated.

**CONNECTORS :**  
- polyvalent extension connector  
- power supply connector  
- 2 5-pin DIN sockets for connection to the network.  
- 5-pin DIN socket for the program read-write unit.  
- 5-pin DIN socket for the light pen.  
- 2 Sub-D 9-point sockets for mouse and joysticks.  
- a flap for language or program cartridge.

**STATION NUMBERING :**  
via a 6-switch block.

# III – ORGANISATION DE LA MÉMOIRE - MEMORY MAP

FFFF (65535) <sub>10</sub>	MONITEUR - MONITOR						4 k	
E000 (61440) <sub>10</sub>								
EFFF (61439) <sub>10</sub>	BASIC 1.0 Banque 0 Banque 1		BASIC 128		CARTOUCHE ROM	BANQUE CARTOUCHE RAM (7 pages)	BANQUE CARTOUCHE RAM NANORÉSEAU® (pages 4 à 7)	16 k
C000 (49152) <sub>10</sub>	Bank 0	Bank 1	Banque 0	Banque 1		RAM CARTRIDGE BANK (7 pages)	NANORÉSEAU® RAM CARTRIDGE BANK	
BFFF (49151) <sub>10</sub>			Bank 0	Bank 1	ROM CARTRIDGE			
B000 (45056) <sub>10</sub>								
AFFF (45055) <sub>10</sub>	LIBRE - FREE						2 k	
A800 (43008) <sub>10</sub>								
A7FF (43007) <sub>10</sub>	EXTENSION MODEM - MODEM EXTENSION						8	
A7F8 (43000) <sub>10</sub>								
A7F7 (42999) <sub>10</sub>	EXTENSION IEEE - IEEE EXTENSION						8	
A7F0 (42992) <sub>10</sub>								
A7EF (42991) <sub>10</sub>	LIBRE - FREE						4	
A7EC (42988) <sub>10</sub>								
A7EB (42987) <sub>10</sub>	INTERFACE RF 57 932 - RF 57 932 INTERFACE						4	
A7E8 (42984) <sub>10</sub>								
A7E7 (42983) <sub>10</sub>	REGISTRES GATE MODE PAGE - GATE MODE PAGE REGISTERS						4	
A7E4 (42980) <sub>10</sub>								
A7E3 (42979) <sub>10</sub>	IMPRIMANTE - PRINTER						4	
A7E0 (42976) <sub>10</sub>								
A7DF (42975) <sub>10</sub>	LIBRE - FREE						2	
A7DE (42974) <sub>10</sub>								
A7DD (42973) <sub>10</sub>	REGISTRES GATE MODE PAGE - GATE MODE PAGE REGISTERS						2	
A7DC (42972) <sub>10</sub>								
A7DB (42971) <sub>10</sub>	REGISTRES GATE PALETTE - GATE PALETTE REGISTERS						2	
A7DA (42970) <sub>10</sub>								
A7D9 (42969) <sub>10</sub>	LIBRE - FREE						1	
A7D8 (42968) <sub>10</sub>	BUFFER HEXA RÉSEAU - HEXA NETWORK BUFFER						1	
A7D7 (42967) <sub>10</sub>	CONTRÔLEUR ADLC 6854 RÉSEAU - ADLC 6854 NETWORK CONTROL UNIT						8	
A7D0 (42960) <sub>10</sub>								
A7CF (42959) <sub>10</sub>	PIA 6821						4	
A7CC (42956) <sub>10</sub>	JEUX ET SYNTHÈSE SONORE - GAMES AND SOUND SYNTHESIS						1	
A7CB (42955) <sub>10</sub>	CONFIGURATION NANORÉSEAU® - NANORÉSEAU® CONFIGURATION						7	
A7CA (42954) <sub>10</sub>	LIBRE - FREE							
A7C4 (42948) <sub>10</sub>								
A7C3 (42947) <sub>10</sub>	PIA 6821 (IW07) SYSTÈME - PIA 6821 (IW07) SYSTEM						4	
A7C0 (42944) <sub>10</sub>								
A7BF (42943) <sub>10</sub>	CONTRÔLEUR RÉSEAU - NETWORK CONTROL UNIT						1 k 960	
A000 (40960) <sub>10</sub>								
9FFF (40959) <sub>10</sub>	MÉMOIRE UTILISATEUR - USER MEMORY (6 pages de 16 Ko) - (6 16 Ko pages)						16 k	
6000 (24576) <sub>10</sub>								
5FFF (24575) <sub>10</sub>	MÉMOIRE UTILISATEUR - USER MEMORY (MONITEUR PAGE 0) - MONITOR PAGE 0)						16 k	
2000 (8192) <sub>10</sub>								
1FFF (8191) <sub>10</sub>	MÉMOIRE ÉCRAN - SCREEN MEMORY						8 k	
0000	POINT (forme = 1) PIXEL (form = 1)			COULEUR (forme = 0) COLOR (form = 0)				

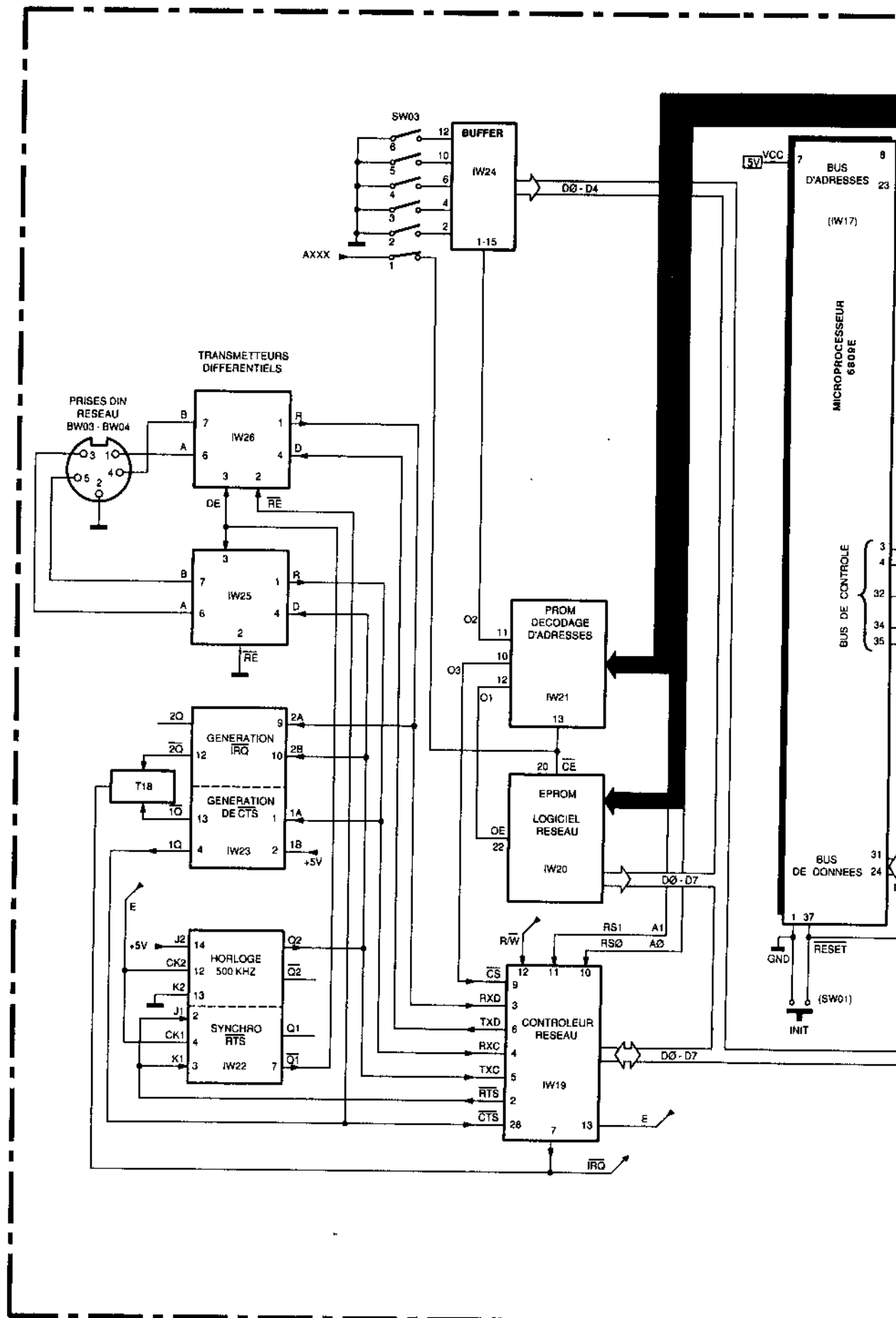
# IV - REGISTRES GATE MODE PAGE - GAT

D7	D6	D5	D4	D3	D2	D1	D0	L/E	CONDITION D'ACCES	REGISTRE
(Réservé)	(Réservé)	(Réservé)	(Réservé)	(Réservé)	(Réservé)	(Réservé)	Ø Système 2 Cartouche/ RAM utilis. 1 crayon optique	E		A7E4 "SYSTEME 2" ou "CRAYON OPTIQUE"
N° page RAM affichée	[lecture D7-D4 de (A7DD)]	Masque présence cart.	Sélection basic	(Réservé)	(Réservé)	(Réservé)	Ø	L	D0 de A7E4 écrit à 1	
TA12	TA11	TA10	TA9	TA8	TA7	TA6	TA5	L	D0 de A7E4 écrit à 1	
8 bits de poids fort du compteur crayon optique										
Accès A7DC Ø autorisé 1 inhibé	Ø	Ø	N° BANK (N° PAGE RAM UTILISATEUR)				E	D4 de A7E7 écrit à 1	A7E5 "RAM UTILISATEUR" ou "CRAYON OPTIQUE"	
Ø	Ø	Ø	IDEM (LECTURE)				L	D0 de A7E4 écrit à 1		
TA4	TA3	TA2	TA1	TA0	H1	H2	H4	L		D0 de A7E4 écrit à 1
8 bits de poids faible du compteur crayon optique										
Ø	Ø	Ø Espace Cart. en ROM 1 Espace Cart. recouvert par RAM	Ø	Ø	Ø	Ø	Ø	E	D0 de A7E4 écrit à 1	A7E6 "ESPACE CART." ou "CRAYON OPTIQUE"
Position du spot/Fenêtre d'aff.	INIL Ø bord droit ou gauche 1 dans fenêtre	Ø	Ø	Ø	Ø	Ø	Ø	L	D0 de A7E4 écrit à 1	
Non utilisé	Gestion RAM dans l'espace cartouche Ø Nano réseau 1 par A7E6	Trame Ø 625 lignes 1 525 lignes	Commutation de banque Ø par PIA 1 par A7E5	Type d'ordinateur Ø MO Ø1 TO9 11 TO	Type de RAM Ø 256 K x 1 Ø 256 K x 4 Ø 128 K x 1 11 64 K x 4			E		A7E7 "SYSTEME 1"
Position du spot par rapport à la fenêtre d'affichage	Ø bord supérieur ou inférieur 1 dans fenêtre Val. instantanée	INIL Ø bord droit ou gauche 1 dans fenêtre	Ø	Ø	Ø	Ø	Copie D0 de A7E4	L		
(Réservé)	Organisation des données vidéo Ø mode 40 colonnes Ø1 autres modes Ø1 bit MAP 4 spécial 11 bit MAP 16	Fréquence de sérialisation Ø POINT Ø 8 MHz Ø1 16 MHz 11 4 MHz	Mode d'affichage Ø 40 colonnes Ø1 bit MAP 4 Ø1 16 MHz Ø11 bit MAP 16			Interruption crayon optique Ø pas d'interrup. 1 interruption	11 triple surimpression	E	Ecriture seule	A7DC "AFFICHAGE"
N° de la page RAM affichée	Masque présence Ø cartouche visible 1 cart. masquée	Sélection basic Ø basic 1 1 basic 128	N° de la couleur du tour de l'écran				E	Ecriture seule	A7DD "SYSTEME 2"	

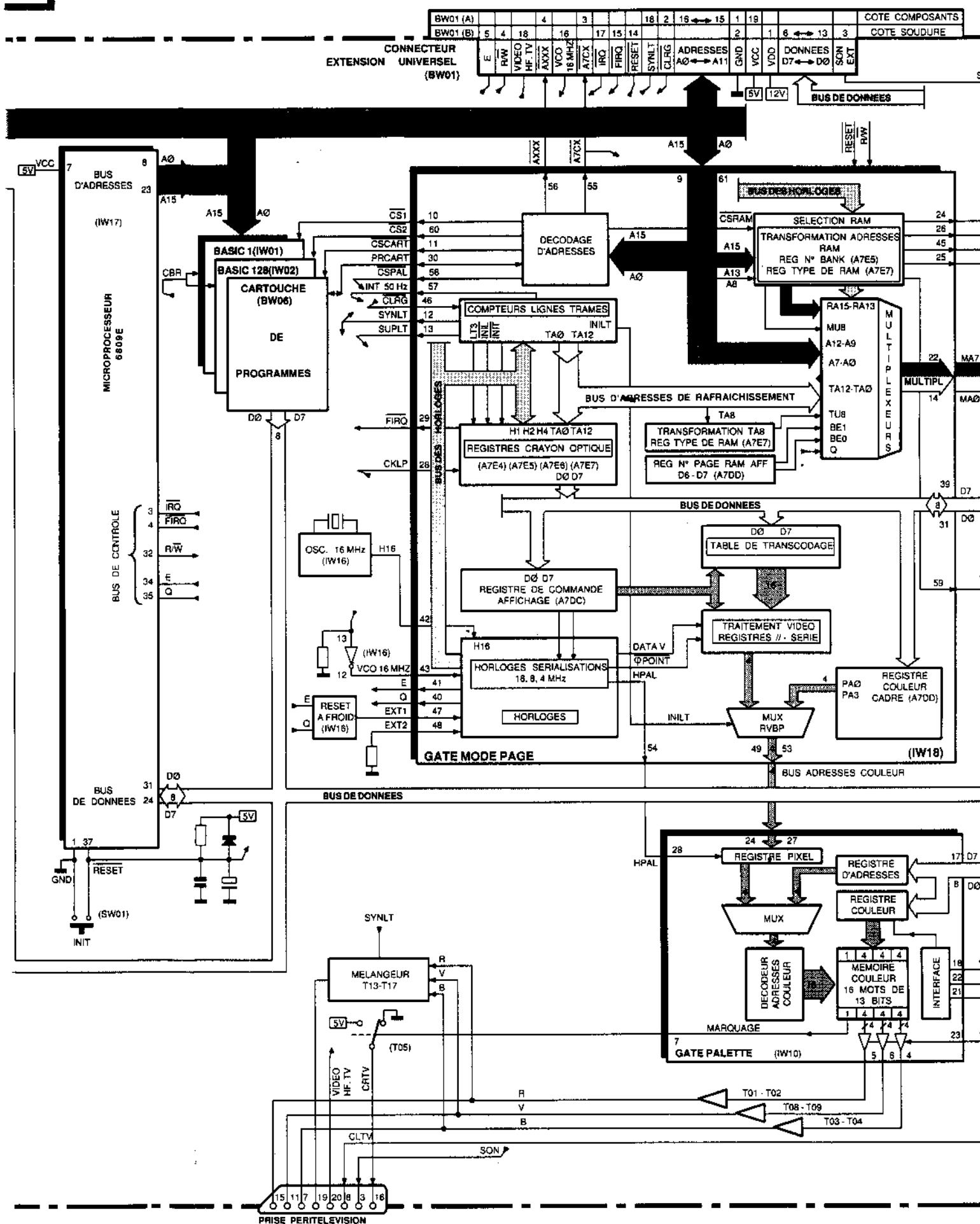
# GATE MODE PAGE REGISTERS

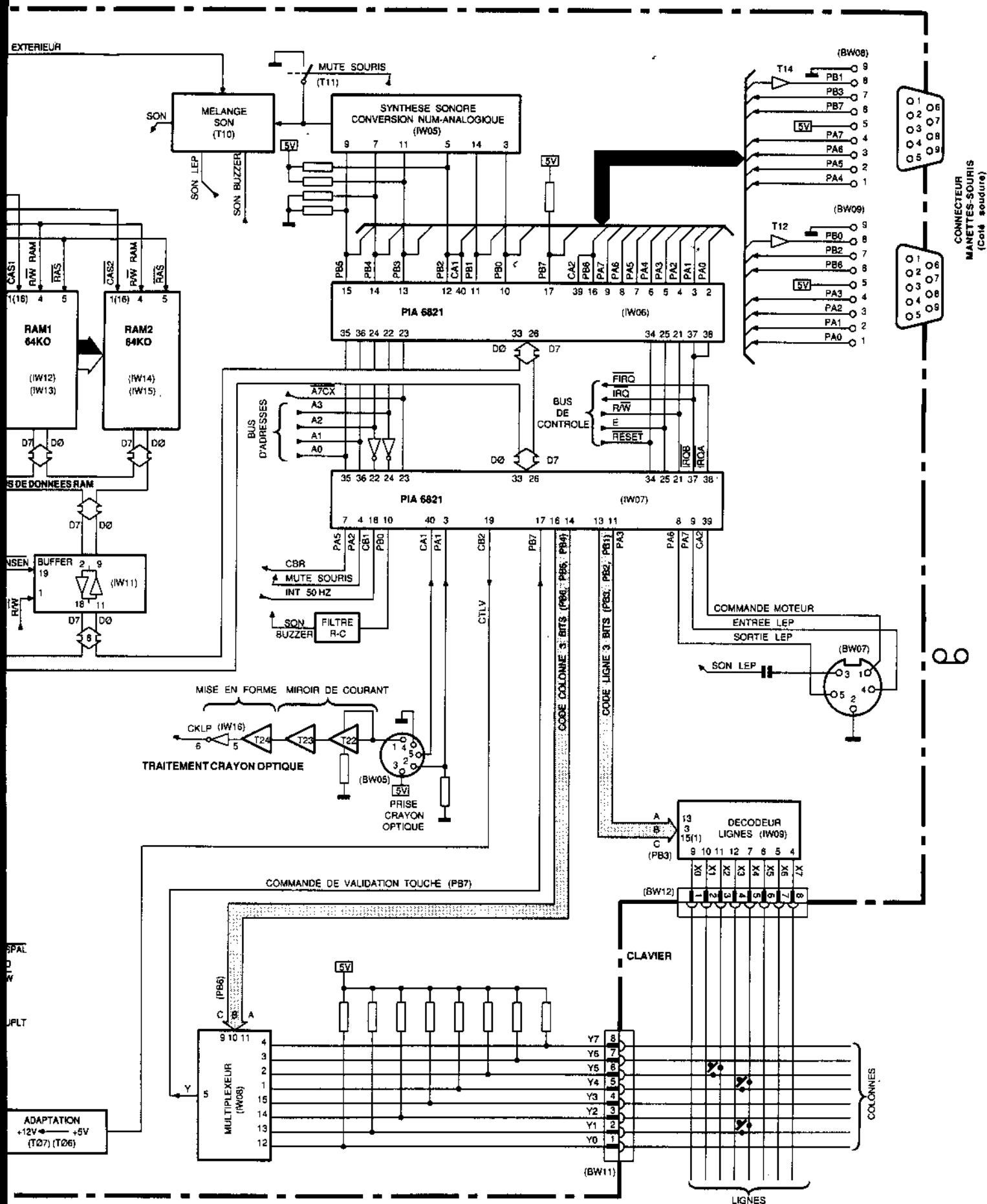
D7	D6	D5	D4	D3	D2	D1	D0	R/W	ACCESS CONDITIONS	REGISTER
(Reserved)	(Reserved)	(Reserved)	(Reserved)	(Reserved)	(Reserved)	(Reserved)	System 2 Cartridge/ user RAM 1 light pen	W		A7E4 « SYSTEM 2 » or « LIGHT PEN »
Displayed RAM page number [read in D7-D4 key (A7DD)]								R	D0 of A7E4 set to 0	
TA12	TA11	TA10	TA9	TA8	TA7	TA6	TA5	R	D0 of A7E4 set to 1	
A7DC Access 0 authorized 1 forbidden								W	D4 of A7E7 set to 1	A7E5 « USER RAM » or « LIGHT PEN »
								R	D0 of A7E4 set to 0	
TA4	TA3	TA2	TA1	TA0	H1	H2	H4	R	D0 of A7E4 set to 1	
								W		A7E6 « CART. AREA » or « LIGHT PEN »
								R	D0 of A7E4 set to 0	
								W		A7E7 « SYSTEM 1 »
								R	D0 of A7E4 set to 1	
								W		A7DC « DISPLAY »
								W		A7DD « SYSTEM 2 »

# V - SCHÉMA SYNOPTIQUE - BLOCK DIAGRAM





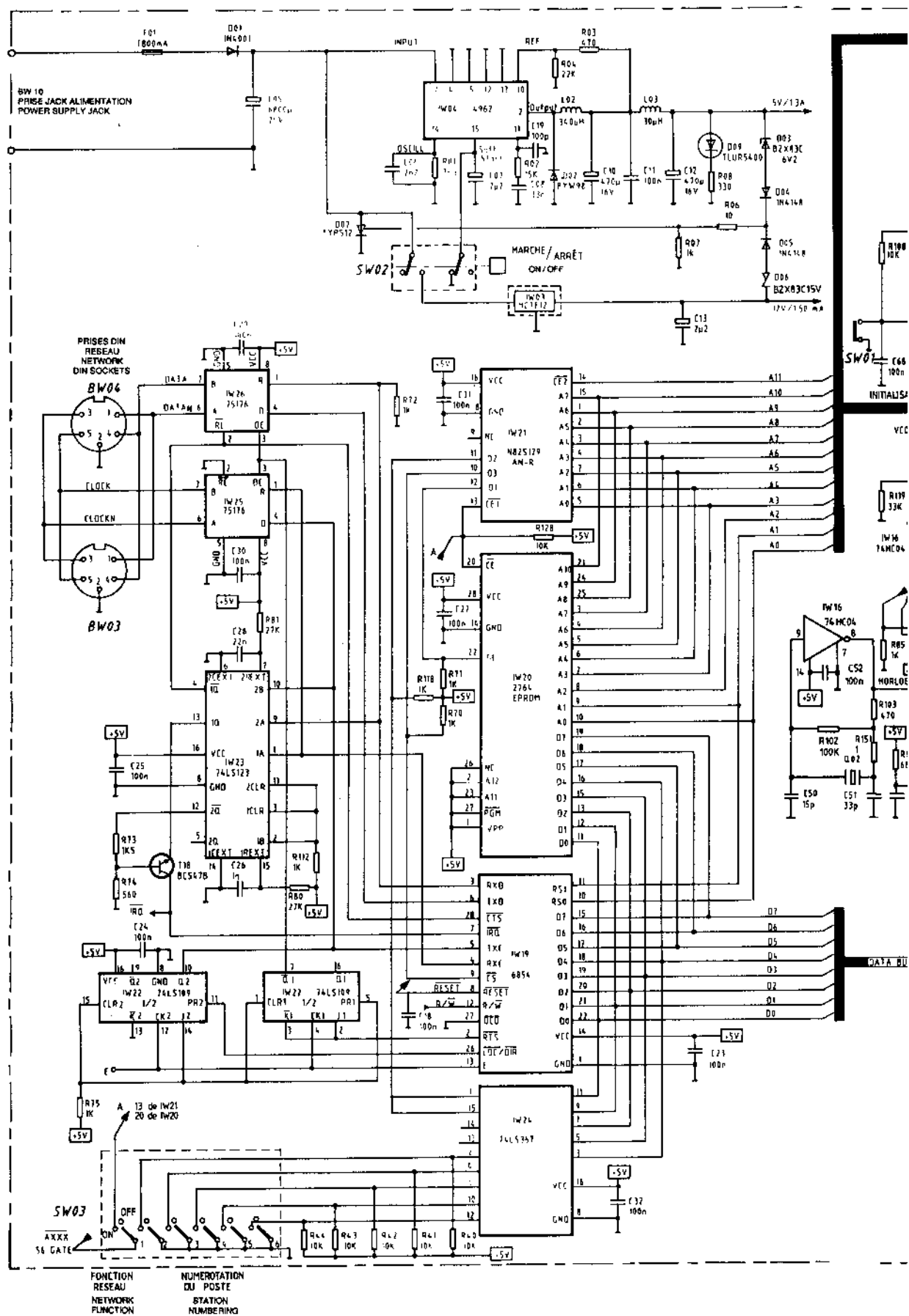


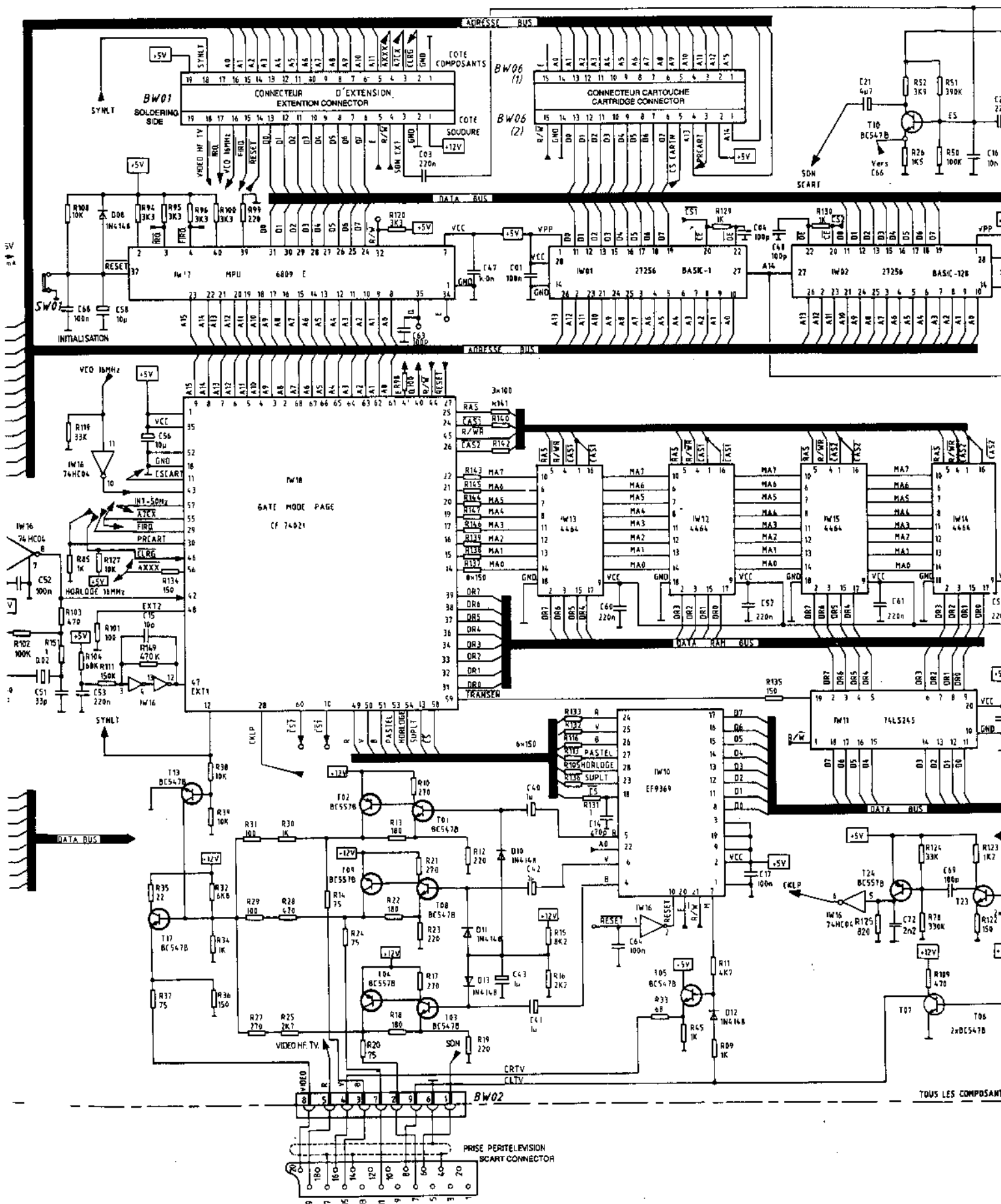


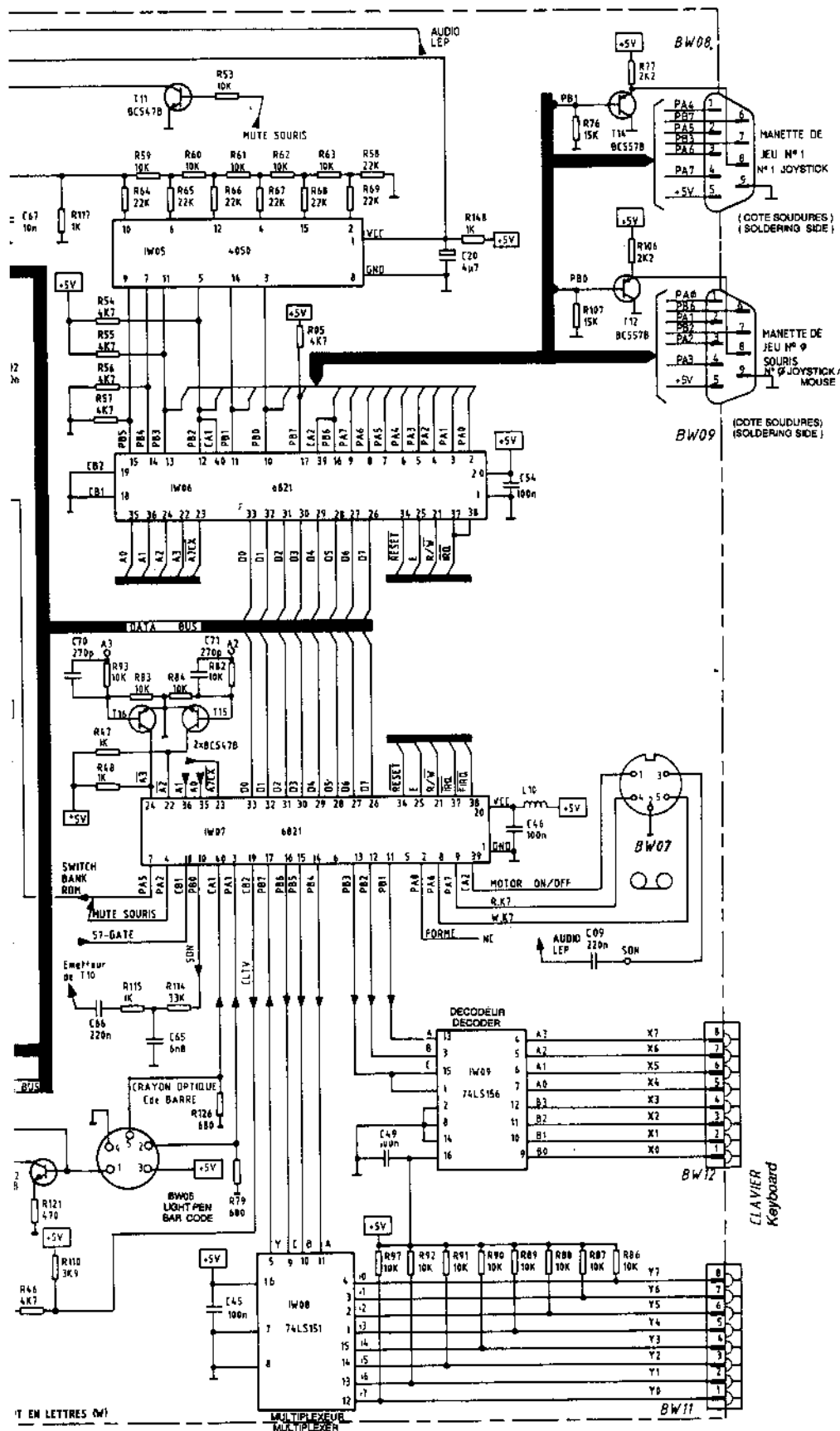
ADAPTATION  
 ADRESSES  
 BUS ADRESSES COULEUR  
 BUS D'ADRESSES  
 BUS D'ADRESSES DE RAFRAICHISSEMENT  
 BUS DE CONTRÔLE  
 BUS DE DONNÉES  
 BUS DE DONNÉES RAM  
 BUS DES HORLOGES  
 CARTOUCHE DE PROGRAMMES  
 CLAVIER  
 CODE COLONNES  
 CODE LIGNES  
 COLONNES  
 COMMANDE DE VALIDATION TOUCHES  
 COMMANDE MOTEUR  
 COMMUTATION BANQUE ROM (CBR)  
 COMPTEURS LIGNE - TRAME  
 CONNECTEUR EXTENSION UNIVERSEL  
 CONNECTEURS « MANETTES-SOURIS »  
 CONTRÔLEUR RÉSEAU  
 CONVERSION NUMÉRIQUE-ANALOGIQUE (CNA)  
 DÉCODAGE D'ADRESSES  
 DÉCODEUR  
 DÉCODEUR ADRESSES COULEUR  
 DÉCODEUR LIGNE  
 DONNÉES  
 ENTRÉE LEP  
 FILTRE RC  
 GÉNÉRATION DE CTI  
 GÉNÉRATION IRQ  
 HORLOGES  
 HORLOGES DE SÉRIALISATION  
 INTERFACE  
 LIGNES  
 LOGICIEL RÉSEAU  
 MARQUAGE  
 MÉLANGE SON  
 MÉLANGEUR  
 MÉMOIRE COULEUR (16 MOTS DE 13 BITS)  
 MIROIR DE COURANT  
 MISE EN FORME  
 MULTIPLEXEURS (MUX)  
 PRISE CRAYON OPTIQUE  
 PRISE DIN RÉSEAU  
 REGISTRE D'ADRESSES  
 REGISTRE COULEUR  
 REGISTRE COULEUR CADRE  
 REGISTRE DE COMMANDE D'AFFICHAGE  
 REGISTRE PIXEL  
 REGISTRES CRAYON OPTIQUE  
 REGISTRES PARALLÈLE/SÉRIE  
 REG. N° DE BANQUE  
 REG. N° PAGE RAM AFFICHÉE  
 REG. TYPE DE RAM  
 RESET A FROID  
 SÉLECTION RAM  
 SON  
 SON BUZZER  
 SON EXTÉRIEUR  
 SON LEP  
 SORTIE LEP  
 SYNCHRO RTS  
 SYNTHÈSE SONORE  
 TABLE DE TRANSCODAGE  
 TRAITEMENT CRAYON OPTIQUE  
 TRAITEMENT VIDÉO  
 TRANSFORMATION ADRESSES RAM  
 TRANSFORMATION TA 8  
 TRANSMETTEURS DIFFÉRENTIELS  
 VIDÉO HF TV

ADAPTATION  
 ADDRESS  
 COLOR ADDRESS BUS  
 ADDRESS BUS  
 REFRESH ADDRESS BUS  
 CONTROL BUS  
 DATA BUS  
 RAM DATA BUS  
 CLOCK BUS  
 PROGRAM CARTRIDGE  
 KEYBOARD  
 COLUMN CODE  
 LINE CODE  
 COLUMNS  
 BUTTON RELEASE CONTROL  
 MOTOR CONTROL  
 ROM BANK COMMUTATION  
 LINE-FRAME COUNTERS  
 UNIVERSAL EXTENSION CONNECTOR  
 « JOYSTICK-MOUSE » CONNECTOR  
 NETWORK CONTROL UNIT  
 DIGITAL TO ANALOG CONVERSION (DAC)  
 ADDRESS DECODING  
 DECODER  
 COLOR ADDRESS DECODER  
 LINE DECODER  
 DATA  
 PR INPUT  
 RC FILTER  
 CTI GENERATION  
 IRQ GENERATION  
 CLOCK  
 SERIALISATION CLOCK  
 INTERFACE  
 LINES  
 SOFTWARE NETWORK  
 MARKING  
 SOUND MIXING  
 MIXER  
 COLOR MEMORY (16 WORDS OF 13 BITS)  
 CURRENT FEEDBACK « MIRROR »  
 SHAPING  
 MULTIPLEXER  
 LIGHT PEN CONNECTOR  
 DIN SOCKET NETWORK  
 ADDRESS REGISTER  
 COLOR REGISTER  
 FRAME COLOR REGISTER  
 DISPLAY CONTROL REGISTER  
 PIXEL REGISTER  
 LIGHT PEN REGISTER  
 PARALLEL SERIAL REGISTER  
 BANK NUMBER REG.  
 DISPLAYED RAM PAGE Nr REG.  
 RAM TYPE REG.  
 INITIALISATION RESET  
 RAM SELECTION  
 SOUND  
 BUZZER SOUND  
 EXTERNAL SOUND  
 PROGRAM RECORDER SOUND  
 PROGRAM RECORDER OUTPUT  
 RTS SYNCHRO  
 SOUND SYNTHESIS  
 TRANSCODING TABLE  
 LIGHT PEN PROCESSING  
 VIDEO PROCESSING  
 RAM ADDRESS TRANSFORMATION  
 TA 8 TRANSFORMATION  
 DIFFERENTIAL TRANSMITTERS  
 HF TV VIDEO

## VI – SCHEMA DE PRINCIPE – CIRCUIT DIAGRAM







## VII – PRINCIPE DE FONCTIONNEMENT OPERATING MODE

### A – PRÉSENTATION GÉNÉRALE DE L'APPAREIL

Bâti autour du microprocesseur **6809-E** de MOTOROLA/EFCIS, cette unité centrale se distingue par l'utilisation d'une puissante unité de gestion et d'intégration : « **Le Gate Array Mode Page** ».

#### 1 – La programmation du Gate Mode Page

Le « **Gate Mode Page** » contient 6 registres programmables (voir : « **REGISTRES GATE MODE PAGE** »). Ces registres contiennent tous les renseignements dont le système a besoin et assurent une polyvalence de ce composant pour plusieurs produits, avec différents types de RAM.

#### 2 – L'intégration

Le **Gate Mode Page** (IW18) intègre :

- le décodage des adresses,
- le traitement et le multiplexage des adresses RAM,
- la génération synchro,
- la gestion du crayon optique,
- la gestion vidéo, pilotant le **Gate Palette** (IW10) : 16 couleurs parmi 4096.

#### 3 – L'accès mode page

Ce nouveau mode d'adressage RAM, (2 lectures de la RAM vidéo pendant la phase non active :  $E=0$ ), permet de faire le chargement des 16 bits d'info-vidéo, dans la table de transcodage, en 2 fois et de travailler dans un seul boîtier RAM (RAM1).

#### 4 – La transformation des adresses RAM

Permet l'utilisation des blocs mémoire à grande capacité, (4464, 41256...), par pages de 16 Ko, 8 Ko et d'assurer la polyvalence du **Gate Mode Page** pour plusieurs produits, avec différents types de RAM.

#### 5 – 128 Ko de mémoire vive (RAM)

Répartis dans 4 boîtiers RAM de 64 K x 4 bits (4464), couplés 2 par 2, afin d'obtenir virtuellement 2 blocs RAM de 64 Ko : **RAM1** (IW12, IW13) et **RAM2** (IW14, IW15) (voir synoptique).

#### 6 – 64 Ko de mémoire morte (ROM)

Répartis dans 2 boîtiers ROM de 32 Ko (27256) : IW01 pour le **BASIC 1** et IW02 pour le **BASIC 128**.

Les deux « **BASIC** » peuvent être masqués soit :

- par une cartouche de programmes 16 Ko enfichable sur le connecteur **BW06**.
- par 16 pages de 16 Ko de RAM si le bit **D5** du registre du registre **A7E6** est programmé à 1.

### A – GENERAL HARDWARE DESCRIPTION

The central processing unit is based around a MOTOROLA/EFCIS **6809-E** microprocessor, and its design incorporates a performant **Gate Array Mode Page** integration and handler unit.

#### 1 - Programming the Gate Mode Page

The **Gate Mode Page** includes six programmable registers (refer to **GATE MODE PAGE REGISTERS**). These registers contain all data required by the system and ensure that the subsystem is compatible with the various types of RAM used in several systems.

#### 2 – Integration

The **Gate Mode Page** (IW18) incorporates :

- address decoding,
- processing and multiplexing of RAM addresses,
- synch generation,
- light pen control,
- video handling, driving the **Gate Palette** (IW10) of 16 colors out of 4096.

#### 3 – Mode Page access

This new method of addressing RAM (two readouts of video RAM during the non-active phase i. e.  $E=0$ ) allows 16 bits of video data to be loaded into the transcoding table in two phases, and to work within a single RAM package (RAM 1).

#### 4 – Transformation of RAM addresses

This allows use of high capacity memory blocks (4464, 41256, etc.) in pages of 8 K and 16 K and ensures compatibility of the **Gate Mode Page** with the various types of RAM of several systems.

#### 5 – 128 Kb RAM

This is divided into 4 RAM packages of 64 K by 4 bits (4464), with each two blocks linked to provide two virtual RAM blocks of 64 Kb, i. e. **RAM1** (IW12, IW13) and **RAM2** (IW14, IW15). Refer to the block diagram.

#### 6 – 64 Kb ROM

This is divided into two ROM packages of 32 Kb (27256), i. e. IW01 for **BASIC 1** and IW02 for **BASIC 128**.

The two « **BASICs** » can be masked as follows :

- by a 16 K program cartridge plugged into the **BW06** connector.
- by 16 RAM pages of 16 K, if bit **D5** on the **A7E6** register is programmed at 1.

- par 4 pages de 16 Ko de RAM émulant la cartouche **NANORESEAU**® si le bit **D6** du registre **A7E7** est programmé à 0.

## 7 - Un interfacement MO complet.

### a) PIA 6821 (IW07) SYSTEME gère :

- le clavier,
- La commutation des banques ROM : **CBR**,
- le lecteur enregistreur de programme (LEP),
- le son buzzer,
- le crayon optique,
- le MUTE SOURIS : règle les problèmes d'interférences provoquées par l'utilisation des manettes de jeu ou de la souris, lors d'une impression (MUTE SOURIS = 0 : validation de la sortie son du CNA, MUTE SOURIS = 1 inhibition),
- le clignotement du curseur : un signal provenant du Gate Mode Page : **INT 50 Hz** provoque des demandes d'interruption (**CB1** → **IRQB**) toutes les 20 ms, afin de se brancher à la routine du clignotement du curseur.

### b) PIA 6821 (IW06) gère : les manettes de jeu, la souris, la synthèse son (conversion numérique-analogique (CNA), d'un mot programmé sur **PB0-PB5**).

### c) CONNECTEUR EXTENSION UNIVERSEL : le brochage est compatible MO (hormis l'absence de **BXXX** sur pin 17 et la sortie -5 V non gérée par l'alimentation.

### d) PRISE SCART (PERITEL).

## B - GESTION DE LA MÉMOIRE MORTE

Le Gate Mode Page (IW18) pilote :

- La sélection entre l'espace **BASIC 1** (IW01) ou l'espace **BASIC 128** (IW02).

Elle est déterminée par le bit **D4** du registre **A7DD**.

- Le masquage ou démasquage de l'éventuelle cartouche ROM par le bit **D5** de **A7DD**.
- Le recouvrement de l'espace cartouche par de la RAM si le bit **D5** du registre **A7E6** est programmé à 1. Les bits **D0** à **D4** permettent de choisir une page de 16 Ko parmi les 7 pouvant être affectées à l'espace cartouche.
- L'émulation de la cartouche **NANORESEAU**® (4 pages de 16 Ko) par programmation à 0 du bit **D6** de **A7E7**. Dans ce cas il y a transposition des bits **D0** à **D3** du registre **A7CB** (utilisé pour la programmation en mode **NANORESEAU**®) dans le registre **A7E6** dont le bit **D2** a été forcé à 1.

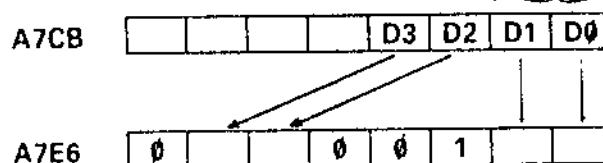


Fig. 2

- by 4 RAM pages of 16 K emulating the **NANORESEAU**® cartridge if bit **D6** on the **A7E7** register is programmed at 0.

## 7 - Full specification MO interfacing

### a) The PIA 6821 (IW07) system handles :

- the keyboard,
- switching between ROM banks : **CBR**,
- programme readouts and writing (LEP),
- the buzzer,
- the light pen,
- the MUTE MOUSE (MUTE SOURIS) : it solves interference problems caused by the use of joysticks or the mouse during printing (MUTE MOUSE = 0 : validation of the audio output of DAC, MUTE MOUSE = 1 : inhibition),
- cursor flashing : a signal from the GATE MODE PAGE, **INT 50 Hz**, generates interrupt requests (**CB1** → **IRQB**) every 20 ms in order to jump to the cursor flashing routine.

### b) PIA 6821 (IW06) handles : joysticks, the mouse, audio synthesis (digital/analog conversion (DAC) of a word programmed on **PB0-PB5**) and the printer,

### c) GENERAL PURPOSE EXPANSION PORT : the pinout is MO - compatible (except for the absence of **BXXX** on pin 17 and the -5 V output is not controlled by the power supply.

### d) SCART (PERITEL) port.

## B - ROM MANAGEMENT

The Gate Mode Page (IW18) handles :

- selection between the **BASIC 1** (IW01) or the **BASIC 128** (IW02).

This is set on bit **D4** of **A7DD**.

- Masking or unmasking of optional ROM cartridges through bit **D5** of **A7DD**.
- Overlay of the cartridge space by the RAM if bit **D5** on the **A7E6** register is programmed at 1. Bits **D0** to **D4** make it possible to choose a 16 k page from the 7 which can be allocated to the cartridge space.
- Emulation of the **NANORESEAU**® cartridge (4 16 K pages) by programming bit **D6** on the **A7E7** register at 0. In this case there is a transposition of bits **D0** to **D3** on the **A7CB** register (used for programming in the **NANORESEAU**® mode) in the **A7E6** register whose **D2** bit has been forced at 1.

N° de page sur 2 bits

N° of page on 2 bits

N° de page sur 3 bits

N° of page on 3 bits



- Le **Gate mode Page** envoie les signaux de sélection **CS1** pour l'EPROM IW01, **CS2** pour l'EPROM IW02 et **CSCART** dans le cas ou une cartouche est enfichée dans le connecteur BW06, démasqué par **D5** de **A7DD** et reconnue par le signal de présence de la cartouche: **PRCART**).  
Le PIA (IW07) envoie par **PA5**, le signal **CBR** de commutation des banques ROM de 16 Ko (A14 sur les EPROM).

- The **Gate Mode Page** sends selection signals **CS1** for EPROM IW01, **CS2** for EPROM IW02 and **CSCART** (in the event that a cartridge is plugged into port BW06, unmasked by **D5 A7DD** and recognised by the cartridge presence signal: **PRCART**).  
PIA (IW07) sends the **CBR** signal for switching 16 Kb ROM banks through **PA5** (A14 on EPROMs).

### DÉTAIL DE LA MAP MÉMOIRE (B000-FFFF) MEMORY MAP DETAIL (B000-FFFF)

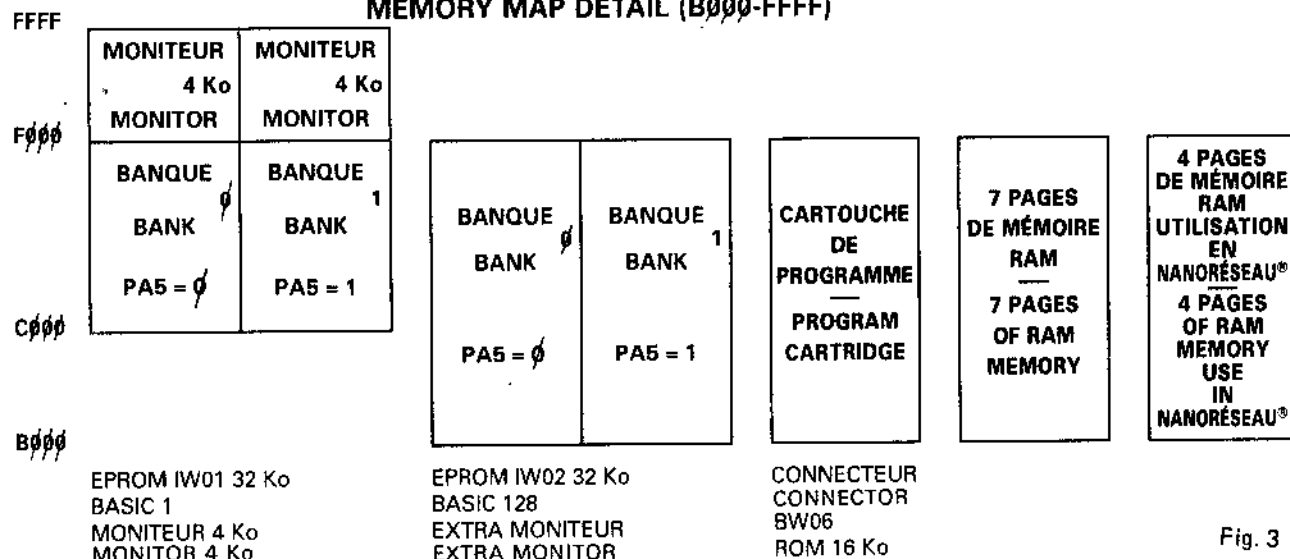


Fig. 3

**NOTA :** dans tous les cas, le système doit avoir accès au moniteur 4 Ko, contenu dans la banque 0 de l'EPROM IW01. C'est pour cette raison, qu'il est recopié dans la banque 1 de l'EPROM IW01.

**NOTE :** The system must have access to the 4 kb monitor contained in bank 0 of EPROM IW01 in all events. For this reason, it is copied in bank 1 of EPROM IW01.

## C - GESTION DE LA MÉMOIRE VIVE

### 1 - Transformation des adresses

L'utilisation de boîtier RAM à grande capacité conduit à opérer une transformation des adresses afin de pouvoir accéder à tout l'espace adressable des boîtiers.

En effet, l'espace adressable des boîtiers **RAM1, RAM2** est de 64 Ko (ADRESSES PHYSIQUES : de 0000 à FFFF), celui alloué dans la map mémoire est seulement de 40 Ko (ADRESSES LOGIQUES : de 0000 à 9FFF).

Afin d'organiser la RAM et d'accéder dans celle-ci à des adresses physiques supérieures à 9FFF, on transforme les 3 bits de poids fort de l'adresse logique **A15, A14, A13**. Ils deviennent **RA15, RA14, RA13**, (voir synoptique) et sont fonction, du bit forme (interne au bloc « TRANSFORMATION ADRESSES RAM »), du N° de banque désiré et de l'adresse demandée par le microprocesseur (adresse logique).

## C - RAM MANAGEMENT

### 1 - Addresses transformation

The use of high capacity RAM packages has led to address transformation in order to have access to the full addressable area of packages. The addressable area of packages **RAM1, RAM2** is in fact 64 Kb (PHYSICAL ADDRESSES from 0000 to FFFF), whereas that allocated in the memory map is only 40 Kb (LOGICAL ADDRESSES from 0000 to 9FFF).

In order to organise RAM and provide access to physical addresses higher than 9FFF, the three most significant bits of the logical address **A15, A14** and **A13** are transformed. They become **RA15, RA14**, and **RA13** (see block diagram) and are dependent on the form bit (within the RAMADDRESS TRANSFORMATION block) from the required bank number and the address requested by the microprocessor (logical address).

Adresses physiques (envoyées sur MA0-MA7)  
Physical adress (sent on MA0-MA7)

RA15 RA14 RA13 A12 A11 A10 A9 MU8  
MSB

A7 A6 A5 A4 A3 A2 A1 A0  
LSB

(Se reporter au paragraphe « Polyvalence » pour les explications concernant MU8)

Ainsi, par cette méthode entièrement transparente à l'utilisateur la RAM est vue comme 8 pages de 16 Ko. On accède aux pages supérieures en programmant le N° de banque désiré dans A7E5. Ce registre a une influence directe sur la transformation des adresses.

(See the « Polyvalence » paragraph for explanations concerning MU8).

Thus RAM is perceived as 8 16 Kb pages by virtue of this method which is completely transparent to the user. The top pages are accessed by programming the bank required in A7E5. This register has a direct influence on the transformation of addresses.

### ORGANISATION RAM RAM ORGANISATION

AD. LOGIQUES  
LOGICAL AD.

AD. PHYSIQUES  
PHYSICAL AD.

AD. LOGIQUES  
LOGICAL AD.

AD. PHYSIQUES  
PHYSICAL AD.

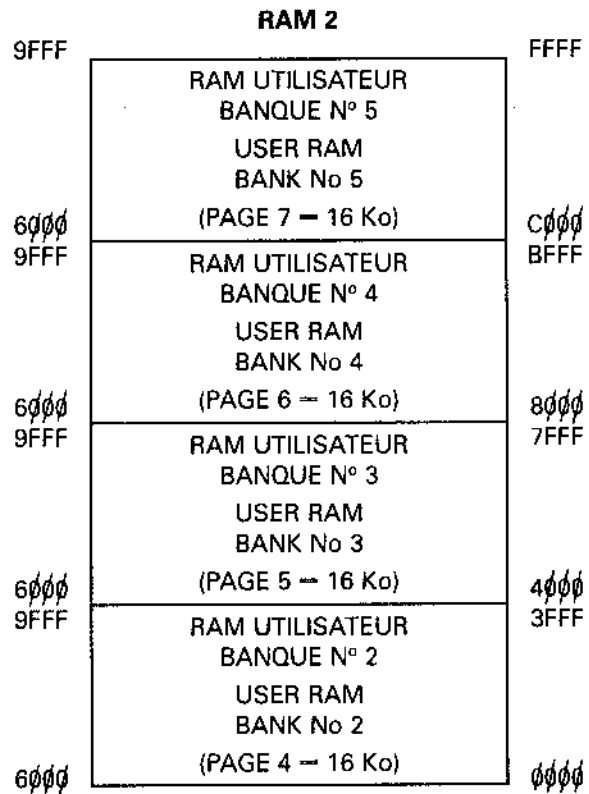
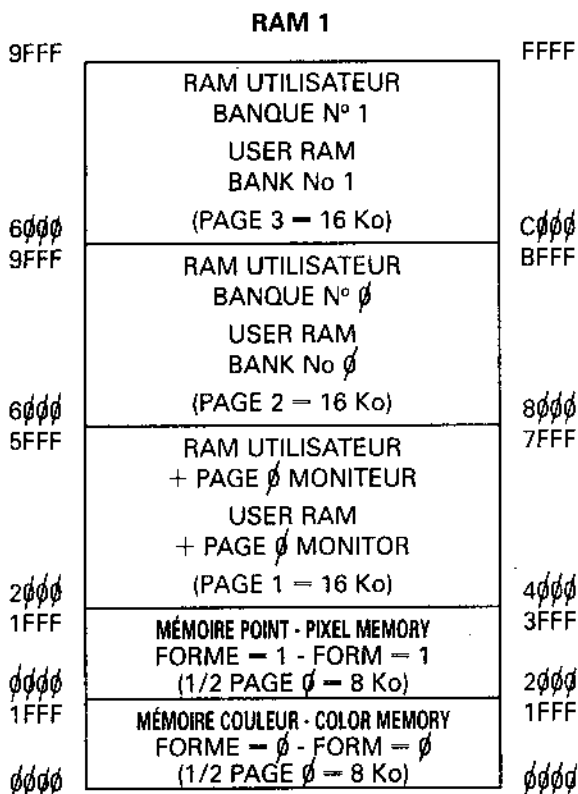


Fig. 4

## 2 - L'accès mode page

La mémoire vidéo (16 Ko) est contenue dans la page 0 du boîtier RAM1.

ÉCRITURE : par transformation des adresses, en fonction du bit forme, on accède à l'une ou l'autre des deux 1/2 pages 0 (mémoire couleur ou mémoire point).

- bit forme = 0 pas de transformation des adresses.  
(adresse physique = adresse logique).
- bit forme = 1 transformation.  
(adresse physique = adresse logique + 2000 (H)).

LECTURE : l'horloge Q est injecté parmi les bits de poids fort de l'adresse de rafraîchissement (voir synoptique) :

## 2 - Mode page access

The video memory (16 Kb) is contained in page 0 of package RAM1.

WRITING : one or other of the two 1/2 pages 0 (color memory or pixel memory) is accessed by transforming addresses by a function of form bit, where :

- form bit = 0 : addresses not transformed.  
(physical address = logical address).
- form bit = 1 : transformation.  
(physical address = logical address + 2000 (H)).

READOUT : Q clock is injected in the most significant bits of the refresh address (see schematic) :

BE1 BE0 Q TA12 TA11 TA10 TA9 TU8  
MSB

TA7 TA6 TA5 TA4 TA3 TA2 TA1 TA0  
LSB

Pendant la phase non active  $E = \emptyset$ ,  $Q$  prend 2 états :

During the non-active  $E = \emptyset$  phase,  $Q$  takes on 2 statuses :

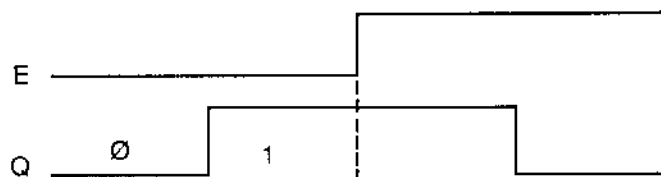


Fig. 5

Placé ainsi,  $Q$  permet de déterminer 2 adresses distinctes, pendant la phase non active ( $E = \emptyset$ ).

- La première adresse concerne la 1/2 page couleur.

$Q = \emptyset$  (adresse de 0000 à 1FFF avec  $BE1\ BE0 = \emptyset\emptyset$ ).

- La deuxième adresse concerne la 1/2 page point.

$Q = 1$  (adresse de 2000 à 3FFF avec  $BE1\ BE0 = \emptyset\emptyset$ ).

Cette opération s'effectue donc indépendamment du bit forme.

Ces deux adresses sont validées par deux  $\overline{CAS}$  consécutifs pendant la durée d'un  $\overline{RAS}$  stationnaire à l'état bas : c'est l'accès mode page.

Voir les chronogrammes

Les RAM ont bien entendu la possibilité de fonctionner de manière classique ou en accès mode page.

RÉSULTAT : on effectue 2 lectures consécutives (pendant la phase non active) dans la RAM1 (une dans la 1/2 page couleur, et une dans la 1/2 page point), ceci afin de charger dans la table de transcodage les 16 bits d'info-véo.

Thus placed,  $Q$  allows two separate addresses to be determined during the non-active phase ( $E = \emptyset$ ), where :

- the first address concerns the color 1/2 page.

$Q = \emptyset$  (address from 0000 to 1FFF with  $BE1\ BE0 = \emptyset\emptyset$ ),

- the second address concerns the pixel 1/2 page.

$Q = 1$  (address from 2000 to 3FFF with  $BE1\ BE0 = \emptyset\emptyset$ ).

This operation is therefore performed independently of the form bit.

These 2 addresses are validated by 2 consecutive  $\overline{CAS}$ s during a stationary  $\overline{RAS}$  in the low status : this is the access mode page.

Refer to timing diagrams.

RAMs are of course able to operate in the conventional manner or in mode page access.

RESULT : two consecutive readouts are performed (during the non-active phase) in RAM 1 (one in the color 1/2 page and one in the pixel 1/2 page), so as to load the 16 video data bits into the transcoding table.

### 3 - Page vidéo affichée

En donnant des valeurs à  $BE1-BE0$  (par programmation des bits  $D6\ D7$  de  $A7DD$ ) on peut commander l'affichage des 4 pages 0, 1, 2, 3. La page affichée par défaut est la page 0 (c'est la page écran).

Ici encore, il s'agit d'une transformation d'adresses, afin de pouvoir accéder à ces 4 pages de 16 Ko : en programmant les bits  $BE1\ BE0$ , l'adresse envoyée par le microprocesseur se trouve modifiée.

### 3 - Displayed video page

In assigning values to  $BE1\ BE0$  by respectively programming bits  $D7\ D6$  of  $A7DD$ , the display of the four pages 0, 1, 2 and 3 can be controlled. The page displayed by default is page 0 (this is the screen page).

Once again, addresses are transformed in order to provide access to these 4 16 Kb pages : the address sent by the microprocessor is modified by programming bits  $BE1\ BE0$ .

#### EXEMPLES :

-  $BE1\ BE0 = \emptyset\emptyset$  (par défaut à l'initialisation).  
Dans ce cas l'adresse logique n'est pas transformée (mode classique). On affiche la page 0.

-  $BE1\ BE0 = \emptyset1, 1\emptyset, 11$  (en programmant  $D7\ D6$  de  $A7DD$ ).

Dans ces 3 autres cas, l'adresse logique est transformée afin de travailler dans les pages supérieures. On affiche respectivement les pages 1, 2, 3.

#### FOR EXAMPLE :

-  $BE1\ BE0 = \emptyset\emptyset$  (by default on initialisation).  
In this case, the logical address will not be transformed (conventional mode). Page 0 is displayed ;

-  $BE1\ BE0 = \emptyset1, 1\emptyset, 11$  (by programming  $D7\ D6$  of  $A7DD$ ).

In these three cases, the logical address is transformed to operate in the top pages. Pages 1, 2 and 3 are displayed respectively.

#### 4 - Polyvalence

Le **Gate Mode Page**, est prévu pour fonctionner sur plusieurs produits avec différents types de RAM. C'est pour cette raison que certains bits d'adresse sont modifiables par soft, suivant l'organisation déterminée. Ce sont les bits : **MU8, TU8**

On retrouve dans le synoptique :

- le bloc « TRANSFORMATION DE TA8 » qui contient le registre **A7E7**. Suivant l'organisation désirée (RAM 4416, 4464 ou 41256, appareil de type MO ou TO), on adaptera le **Gate Mode Page** en programmant **A7E7**. Pour le MO5 NR **TU8 = TA8**.
- le bloc « TRANSFORMATION ADRESSES RAM » pour le MO5 NR **MU8 = A8**.

#### 5 - Multiplexage des adresses et sélection RAM

Il reste classique et conforme à l'utilisation des RAM dynamiques.

- PHASE NON ACTIVE :  $E = \emptyset$

Un premier multiplexeur commute sur les adresses de rafraîchissement, un second multiplexeur envoie les **LSB** (validation par **RAS $\bar{L}$** ), puis les **MSB** (validation par **CAS $\bar{L}$** ). Le signal **R/WRAM** est forcé à 1 (lecture).

- PHASE ACTIVE  $E = 1$

Un premier multiplexeur commute sur les adresses microprocesseur.

Un deuxième multiplexeur envoie les **LSB** (validation par **RAS $\bar{L}$** ) puis les **MSB** (validation par **CAS $\bar{L}$** ).

Le signal **R/WRAM** détermine la lecture ( $R/WRAM = 1$ ) ou l'écriture ( $R/WRAM = \emptyset$ ) dans la RAM sélectionnée. Son état est fonction de l'instruction demandée (Ex : LDA (adresse RAM) :  $R/WRAM = 1$ ).

#### D - GÉNÉRATION SYNCHRO (IW18)

Le signal de fréquence 16 MHz issu de l'oscillateur (IW16), entre sur la broche 42 du **Gate Mode Page**. Il pilote les compteurs, diviseurs, décodeurs, du bloc « HORLOGE » fournissant les signaux d'horloges nécessaires au système et notamment aux compteurs lignes et trames. Ces compteurs fournissent les signaux nécessaires à la gestion de l'écran :

- Signal de synchronisation ligne et trame : **SYNLT** (broche 12).
- Signal d'inhibition ligne et trame : **INILT** (interne) permettant de commander le multiplexeur (rvbp) et de valider soit les info couleurs cadre soit les info couleurs fenêtre de travail.
- Signal de suppression ligne et trame **SUPLT** (broche 13) assurant le blanking vidéo pendant le retour ligne et le retour trame. Il est envoyé sur la broche 23 du **Gate Palette** (IW10).
- Signal de validation **DATA VALID** (interne) autorisant le chargement des registres de

#### 4 - Compatibility

The **Gate Mode Page** is designed for several systems with different types of RAM. For this reason, certain address bits are software-modifiable according to the established organization.

These are bits **MU8** and **TU8**.

The block diagram shows :

- the « TA8 TRANSFORMATION » block, which contains the **A7E7** register. Following the desired organization (RAM 4416, 4464 or 41256, MO or TO type machine), the **Gate Mode Page** will be adapted by programming **A7E7**. For the MO5 NR **TU8 = TA8**.
- the « RAM ADDRESS TRANSFORMATION » block for the MO5 NR **MU8 = A8**.

#### 5 - RAM selection and address multiplexing

It remains classic and conforms to the use of the dynamic RAMs.

- NON-ACTIVE PHASE :  $E = \emptyset$

One multiplexer switches on the address refresh, and a second one sends the **LSBs** (validated by **RAS $\bar{L}$** ) then the **MSBs** (validated by **CAS $\bar{L}$** ).

The **R/WRAM** signal is forced at 1 (read).

- ACTIVE PHASE :  $E = 1$

One multiplexer switches on the microprocessor addresses. A second multiplexer sends the **LSBs**, validated by **RAS $\bar{L}$** , followed by the **MSBs**, validated by **CAS $\bar{L}$** .

The signal **R/WRAM** controls whether reading ( $R/WRAM = 1$ ) or writing ( $R/WRAM = \emptyset$ ) is performed in the RAM thus selected. Its status is a function of the instruction requested (for example : LDA (RAM address) :  $R/WRAM = 1$ ).

#### D - SYNCH GENERATION (IW18)

The 16 MHz signal from the oscillator (IW16) arrives on pin 42 of the **Gate Mode Page**. It drives the counter, dividers and decoders of the **CLOCK** block which supplies the clock signals required for the system, notably for line and frame counters. These counters supply the signals for screen management, i. e. :

- line and frame synchronisation signal **SYNLT** (pin 12),
- line and frame inhibition signal **INILT** (internal) providing control of the multiplexer (rvbp) and validating either frame color data or working window color data,
- line and frame suppression signal **SUPLT** (pin 13) which performs video blanking during line and frame return. It is sent on pin 23 of the **Gate Palette** (IW10),
- validation signal **DATA VALID** (internal) which enables the loading of video data registers in the **REGISTERS//SERIES** block.

données vidéo dans le bloc « REGISTRES//SÉRIE ».

Les signaux **E** (broche 41) et **Q** (broche 40), sont deux horloges 1 MHz en quadrature. Elles pilotent le microprocesseur.

**E=1**: PHASE ACTIVE (le microprocesseur accède aux mémoires et aux I/O (interfaces entrées/sortie) pour les opérations de lecture ou d'écriture).

**E=0**: PHASE NON ACTIVE (cycle de rafraîchissement pendant lequel on renouvelle le contenu de l'écran).

## E - GESTION DU CRAYON OPTIQUE (IW18)

Cette fonction permet d'informer le microprocesseur de l'emplacement de la visée du crayon optique dans la fenêtre de travail.

La précision est celle du point : 1/64000°.

Les compteurs lignes-trames indiquent en permanence la position du spot, donc du point visé sur l'écran.

Cette position est définie :

- par l'adresse des données vidéo du **GPL** (Groupe Point Ligne) soit : **TA12-TA0**,
- par la position du point dans ce **GPL** définie par **H1, H2, H4** : horloges 1, 2 et 4 MHz
- par la position du spot : dans la fenêtre de travail ou dans le cadre : **LT3, INIL, INIT**.

Dès que l'utilisateur fait une visée sur l'écran, le photo-transistor du crayon détecte la lumière du spot et provoque une série d'impulsion **CKLP** (après traitement par **T24, T23, T22**).

Ces impulsions, sont la commande de chargement de 4 registres (**A7E4, A7E5, A7E6, A7E7**), par les indications des compteurs lignes-trames vues précédemment.

Ces impulsions déclenchent en plus, la **FIRQ** de branchement à la routine de traitement crayon optique. Cette **FIRQ** est automatiquement générée par le gate **IW18**. Elle est toutefois masquable par **D0** de **A7E4** (**D0=0** masquée, **D0=1** autorisée). Le test (la lecture) se fait dans le registre **A7E7 (D0)** qui est une recopie de **D0** de **A7E4**.

Une demande de validation par pointage du crayon peut être ordonnée. Dans ce cas la routine viendra tester **PA1** du **PIA (IW07)** :

- Crayon pointé : **INTERLP** (Interrupteur Light Pen) fermé, **PA1=1** : autorisation traitement crayon optique.
- Crayon non pointé : **INTERLP** ouvert, **PA1=0** masquage.

## F - GESTION AFFICHAGE (IW18)

Les différents modes d'affichage proposés sont un compromis entre la définition de l'image et le nombre de couleurs, l'augmentation de l'un se faisant au détriment de l'autre.

La mémoire écran, 16 Ko, se situe dans le boîtier **RAM1**. Elle est organisée en deux 1/2 pages de 8 Ko (1/2 page couleur et 1/2 page point). Le microprocesseur accède en écriture à l'une des deux 1/2 pages, en fonction du bit

Signals **E** (pin 41) and **Q** (pin 40) are two 1 MHz clocks in quadratic form. They drive the microprocessor.

**E = 1** : ACTIVE PHASE (the microprocessor accesses memory and I/O interfaces for read and write operations).

**E = 0** : NON-ACTIVE PHASE (refresh cycle during which the screen contents are renewed).

## E - LIGHT PEN HANDLIND (IW18)

This function informs the microprocessor of the location indicated by the light pen in the working window.

Resolution is calculated in pixel, i. e. 1/64000°.

The frame/line counters permanently indicate the position of the spot, therefore of the pixel aimed at on the screen. This position is defined by :

- the address of the **GPL** (Group Pixel Line) video data, which is **TA12-TA0**,
- the position of the pixel in this **GPL** as set by **H1, H2** and **H4** : 1,2 and 4 MHz clocks,
- the position of the spot in the working window or the frame : **LT3, INIL, INIT**.

When the user indicates on screen, the pen phototransistor detects the light of the spot and generates a series of **CKLP** pulses (after processing **T24, T23, T22**). These pulses are the instruction for loading four registers (**A7E4, A7E5, A7E6** and **A7E7**) by the data of the frame/line counters mentioned above.

These pulses also activate the **FIRQ** for connection of the light pen processing routine. This **FIRQ** is generated automatically by the gate itself. It can however be masked by **D0** of **A7E4** (**D0=0** : masked ; **D0=1** : enabled). The test (reading) is performed in register **A7E7 (D0)** which is a copy of **D0** of **A7E4**.

A request for validation through indication with the pen can be requested. In this case, the routine tests **PA1** of **PIA (IW07)**, where :

- pen indicates : **INTERLP** (light pen switch) closed, **PA1=1** : light pen processing enabled,
- pen does not indicate : **INTERLP** open **PA1=0** : masking.

## F - DISPLAY HANDLING (IW18)

The various display modes provided are a compromise between display resolution and the number of colours, where the enhancement of one is the detriment of the other.

The 16 Kb screen memory is situated in package **RAM1**. It is formatted in two 8 Kb 1/2 pages (color 1/2 page and pixel 1/2 page). The microprocessor accesses one of the two 1/2 page for writing as a function of the form

forme, (interne au bloc TRANSFORMATION DES ADRESSES), par transformation d'adresses.

Ces deux 1/2 pages, sont lues successivement toutes les micro-secondes, pour le rafraîchissement de l'écran, suivant le principe de l'accès mode page.

L'info vidéo envoyée dans la table de transcodage est alors composée de 16 bits.

Une fois dans la table de transcodage, les 16 bits d'info vidéo sont organisés, selon le mode demandé par programme, dans le registre de commande affichage **A7DC**. Puis ils sont chargés dans les registres **//SÉRIE** par la commande **DATA VALID**.

Ces registres sont organisés comme précédemment, selon le mode demandé par programme. Ils sont ensuite sérialisés par l'horloge  $\phi$ POINT, vers le **Gate Palette**, sur 1, 2, 3 ou 4 fils du bus adresses couleurs, à 4, 8 ou 16 MHz selon le mode.

**NOTA :** La sérialisation sur 1 fils du bus adresses couleurs déterminent 2 couleurs dans le **Gate Palette**, sur 2 fils : 4 couleurs...

La couleur du cadre est définie en écrivant un mot de 4 bits dans le registre couleur cadre **A7DD**. Ces 4 bits, sont commutés au rythme de **INILT** avec les 4 bits de données vidéo.

Ce principe permet de disposer de 7 modes d'affichage :

#### 1 - Mode MO 40 colonnes

Ce mode de fonctionnement assure la compatibilité ascendante. Il est basé sur un principe désormais classique :

Le contenu informationnel des 16 bits de données vidéo (dans les registres **//série**) est le suivant :

- V0 à V3 : 4 bits d'info couleur fond.
- V4 à V7 : 4 bits d'info couleur forme.
- V8 à V15 : 8 bits d'info point (forme/fond).

Les 2 mots de 4 bits d'info couleur, sont commutés par chaque bit du mot d'information point, sérialisé à la fréquence 8 MHz. Ils sont envoyés sur les 4 fils du bus adresses couleurs.

bit (within ADDRESS TRANSFORMATION block) through address transformation. The two 1/2 pages are read in succession every micro-second for screen refresh in accordance with the mode page access principle.

The video data sent to the transcoding table is then composed of 16 bits.

Once within the transcoding table, the 16 bits of video data are formatted in accordance with the mode requested by the programme, in display control register **A7DC**.

They are loaded in the **//SERIES** registers by the **DATA VALID** instruction.

These registers are formatted as above, according to the mode requested by the programme. They are then serialised by clock  $\phi$ POINT and sent to the gate palette on 1, 2, 3 or 4 wires of the color address bus at 4, 8 or 16 MHz depending on the mode.

**NOTE :** serialisation on one wire of the color address bus sets two colors in the **Gate Palette**, on two wires, 4 colors are set, etc.

The color of the frame is set by writing a four-bits word in the frame color register **A7DD**. These four bits are switched at the rhythm of **INILT** with the four video data bits.

This principle provides seven display modes.

#### 1 - MO 40column mode

This operating mode ensures upward compatibility between systems. It is based on a principle that has become classic :

The data content of the 16 video data bits (in the **//series** registers is as follows :

V0 to V3 : 4 bits of background color data.

V4 to V7 : 4 bits of form color data.

V8 to V15 : 8 bits of pixels data (form/background).

The two four-bit words of color data are switched by each bit of the pixel data word serialised at 8 MHz frequency. They are sent on the four wires of the color address bus :

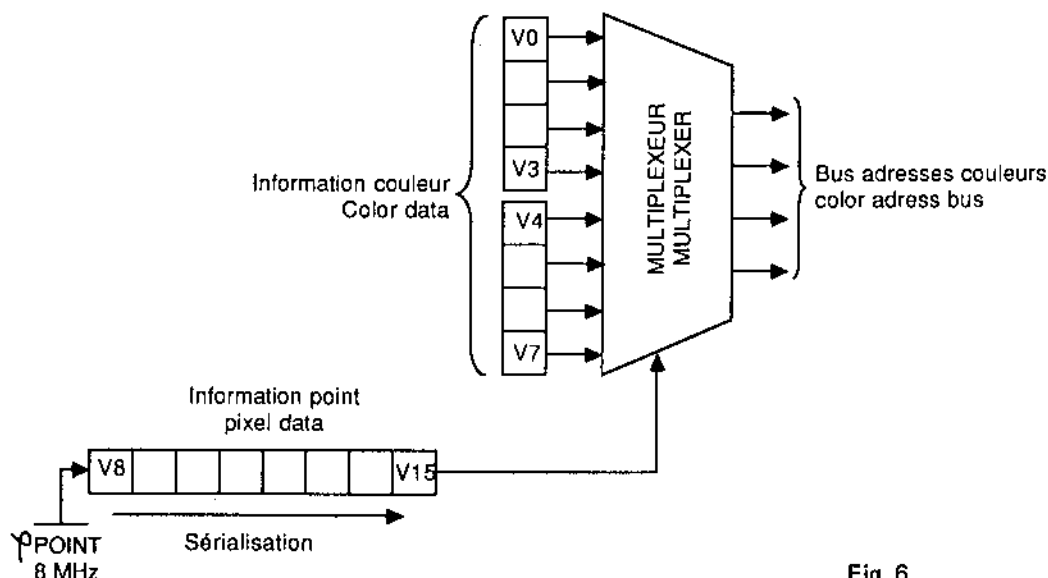


Fig. 6

Nombre de couleurs possibles à l'écran : 16.  
 Nombre de couleurs possibles par GPL (8 POINTS) : 2.  
 Résolution : 320 x 200.

## 2 - Mode 80 colonnes

Ce mode d'affichage utilise les 16 bits d'info vidéo, comme information point (forme/fond). Ils sont sérialisés directement à 16 MHz, sur 1 fils du bus adresses couleurs :

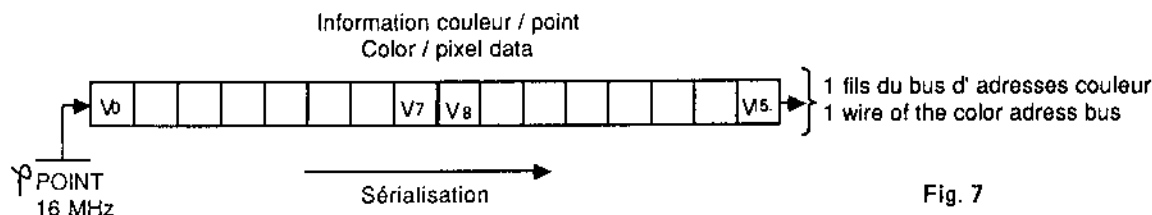


Fig. 7

Nombre de couleurs possibles à l'écran : 2.  
 Résolution : 640 x 200

## 3 - Mode BIT MAP 4

Les 16 bits d'info vidéo sont organisés en 2 mots de 8 bits. Ils sont sérialisés simultanément et directement à 8 MHz, sur 2 fils du bus adresses couleurs :

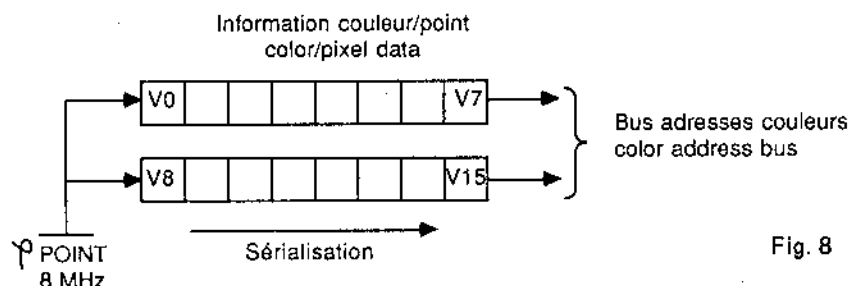


Fig. 8

Nombre de couleurs possibles à l'écran : 4.  
 Nombre de couleurs possibles par point : 4.  
 Résolution : 320 x 200

## 4 - Mode BIT MAP 16

Les 16 bits d'info vidéo sont organisés en 4 mots de 4 bits. Ils sont sérialisés simultanément et directement à 4 MHz, sur les 4 fils du bus adresses couleurs.

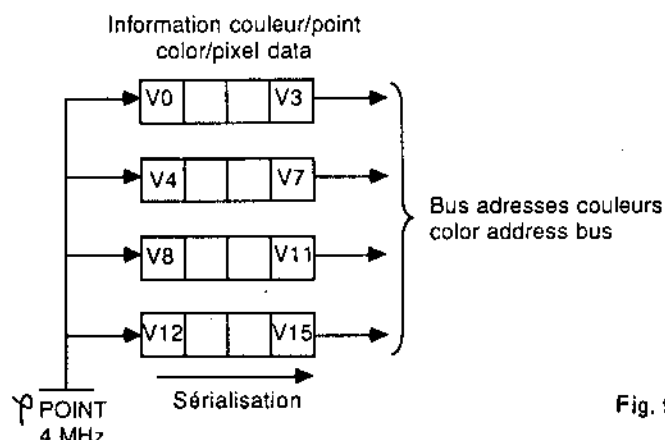


Fig. 9

Nombre de couleurs possibles à l'écran : 16.  
 Nombre de couleurs possibles par point : 16.  
 Résolution : 160 x 200.

Number of colors possible on-screen : 16.  
 Number of colors possible through PLG (8 pixels) : 2.  
 Resolution : 320 x 200.

## 2 - 80 column mode

This display mode uses 16 bits of video data as pixel data (form/background). They are serialised directly at 16 MHz on one wire of the color address bus :

Number of color possible on-screen : 2.  
 Resolution : 640 x 200.

## 3 - BIT MAP 4 Mode

The 16 bits of video data are formatted in two 8-bit words, and serialised simultaneously and directly at 8 MHz on two wires of the color address bus :

Number of colors possible on-screen : 4.  
 Number of colors possible per pixels : 4.  
 Resolution : 320 x 200.

## 4 - BIT MAP 16 Mode

The 16 bits of video data are formatted in four words of four bits. They are serialised simultaneously and directly at 4 MHz on the four wires of the color address bus :

## 5 - Mode PAGE (page 1/page 2)

Les 16 bits d'info vidéo sont organisés en 2 mots de 8 bits, chaque mot représentant une entité d'information complète et indépendante. Ils sont sérialisés à 8 MHz, indépendamment pour l'une et l'autre des 2 pages, sur 1 fils du bus adresses couleurs. On dispose ainsi de 2 pages d'écran distinctes.

Exemple pour une page (page 1) :

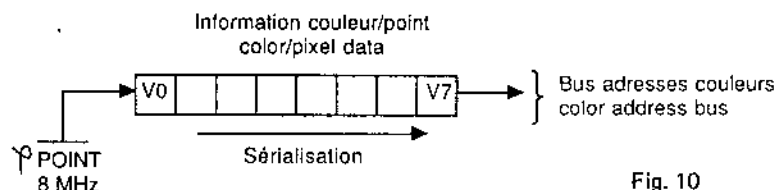


Fig. 10

Nombre de couleurs possibles à l'écran (1 page) : 2  
Résolution : 320 x 200.

## 6 - Mode surimpression

Les 16 bits d'info vidéo sont organisés en 2 mots de 8 bits :

- V0 à V7 : contenu informationnel du 2<sup>e</sup> plan.  
bit = 0 pixel transparent (vue sur le 1<sup>er</sup> plan).  
bit = 1 pixel couleur 1 dans la palette.
- V8 à V15 : contenu informationnel du 1<sup>er</sup> plan. (2 couleurs).

Les 2 mots de 8 bits d'info vidéo sont sérialisés directement selon le principe du mode bit map 4.

## 7 - Mode triple surimpression

Les 16 bits d'info vidéo sont organisés en 4 mots de 4 bits :

- V0 à V3 : contenu informationnel du 4<sup>e</sup> plan.  
bit = 0 pixel transparent (vue sur le 3<sup>e</sup> plan).  
bit = 1 pixel couleur 1 dans la palette.
- V4 à V7 : contenu informationnel du 3<sup>e</sup> plan.  
bit = 0 pixel transparent (vue sur le 2<sup>e</sup> plan).  
bit = 1 pixel couleur 2 dans la palette.
- V8 à V11 : contenu informationnel du 2<sup>e</sup> plan.  
bit = 0 pixel transparent (vue sur le 1<sup>er</sup> plan).  
bit = 1 pixel couleur 3 dans la palette.
- V12 à V15 : contenu informationnel du 1<sup>er</sup> plan (2 couleurs).

Les 4 mots d'info vidéo sont sérialisés selon le principe du mode bit map 16.

## G - GESTION DES COULEURS (IW10)

La fonction principale de ce circuit, est de générer les 3 composantes primaires vidéo (RVB), plus 1 bit de marquage destiné à assurer la transparence à l'incrustation vidéo.

Chaque composante est codée sur 4 bits (registres 4 bits). Une composante peut donc prendre 16 états logiques différents.

## 5 - PAGE (page 1/page 2) Mode

The 16 bits of video data are formatted in two words of 8 bits, where each word represents a complete and separate datum. Each of the two pages is separately serialised at 8 MHz on one wire of the color address bus. This therefore provides two separate screen pages.

Example for one page (page 1) :

Number of colors possible on-screen (1 page) : 2.  
Resolution : 320 x 200.

## 6 - Overprinting mode

The 16 bits of video data are organised in two words of 8 bits, i. e. :

- V0 to V7 : data content of second plane.  
Bit = 0 : transparent pixel (seen on first plane).  
Bit = 1 : color pixel 1 in palette.
- V8 to V15 : data content of first plane (two colors).

The two video data words of 8 bit are serialised directly in accordance with the principle of bit map 4.

## 7 - Triple-overprinting mode

The 16 bits of video data are formatted in four words of four bits, i. e. :

- V0 to V3 : data content of fourth plane.  
Bit = 0 : transparent pixel (seen on third plane).  
Bit = 1 : color 1 in palette.
- V4 to V7 : data content of third plane.  
Bit = 0 : transparent pixel (seen on second plane).  
Bit = 1 : color 2 in palette.
- V8 to V11 : data content of second plane.  
Bit = 0 : transparent pixel (seen on first plane).  
Bit = 1 : color 3 in palette.
- V12 to V15 : data content of first plane (2 colors).

The 4 video data words are serialized in accordance with the principle of bit map 16.

## G - COLOR HANDLING (IW10)

The main function of this circuit is to generate the three primary video components (RVB) plus one mark bit to provide transparency for video impleying.

Each component is encoded over four bits (four-bit registers). A component can therefore assume 16 different logical statuses.



Trois convertisseurs numérique-analogique déterminent un potentiel proportionnel au mot programmé dans ces registres. Le potentiel de chaque composante primaire est ainsi variable sur 16 niveaux de tension.

Three digital/analog converters fix a potential as a function of the word programmed in these registers. The potential of each primary component can therefore vary between 16 voltage levels.

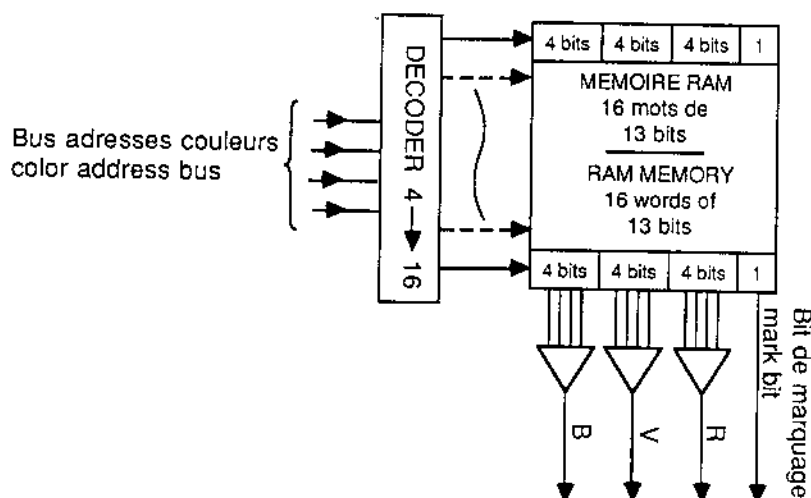


Fig. 11

En sortie **RVB** nous disposerons donc de  $16^3$  configuration possibles, soit 4096 couleurs possibles.

Le **Gate Palette** intègre une RAM de 16 mots de 13 bits : 1 mot = 3 registres de 4 bits + 1 bit de marquage.

Chaque mot est programmable (**PALETTE X, Y, Z**) et définit une couleur.

Une adresse présente sur le bus adresses couleurs place en sortie **RVBM**, un des 16 mots correspondant à cette adresse. Le décodeur 4 → 16 réalise cette fonction.

L'instruction d'attribution de couleur (**PALETTE X, Y, Z**) met en œuvre une routine de traitement dont les principales phases sont les suivantes :

- Sélection du registre d'adresse du **Gate Palette (A7DA)**.
  - Ecriture dans le registre d'adresse de l'argument **X** (0 à 15), permettant d'adresser 1 parmi les 16 mots de 13 bits.
  - Sélection du registre couleur (**A7DB**).
  - Ecriture dans le registre couleur adressé de l'argument **Y** (0 à 4096), attribution d'une couleur parmi les 4096 (12 bits) et de l'argument **Z** (0 ou 1) bit de marquage.
- Cette phase nécessite 2 opérations d'écriture.

There are thus  $16^3$  configurations possible at the **RVB** output, namely 4096 different colors.

The **Gate palette** integrate a RAM of 16 13-bit words, where : 1 word = 3 registers of 4 bits + 1 mark bit. Each word is programmable (**PALETTE X, Y, Z**) and sets a color.

An address present on the color address bus places one of the 16 words, corresponding to this address at the output **RVBM**. Decoder 4-16 performs this function.

The color assignment instruction (**PALETTE X, Y, Z**) utilises a processing routine of which the main phases are as follows :

- **Gate palette** address register selected (**A7DA**).
- Argument **X** written in the address register (0 to 15) allowing 1 out of 16 13-bit words to be addressed.
- The color register is selected (**A7DB**).
- Argument **Y** is written in the addressed color register (0 to 4096). 1 color out of 4096 and argument **Z** (0 or 1 - mark bit) is assigned.

This phase requires two write operations.

## H - GESTION DU CLAVIER « PIA 6821 (IW07) »

Les 58 touches du clavier sont réparties dans une matrice de 8 lignes (**X0** à **X7**) / 8 colonnes (**Y0** à **Y7**).

Les 8 lignes sont balayées par un niveau **0.PB1-PB3**, du PIA (**IW07**) commandant ce balayage via le décodeur lignes (**IW09**).

Les 8 colonnes sont forcées à 1 par 8 résistances de pull-up. Elles sont lues séquentiellement sur **PB7**, via le multiplexeur colonnes (**IW08**) commandé par **PB4-PB6**.

## H - KEYBOARD HANDLING « PIA 6821 (IW07) »

The 58 keys are spread over an 8-line (**X0** to **X7**) / 8 column (**Y0** to **Y7**) matrix. The 8 lines are scanned by a level **0.PB1-PB3**, on the PIA (**IW07**) which controls the scanning via the lines decoder (**IW09**).

The 8 columns are forced at 1 by 8 pull-up resistors. They are read in sequence on **PB7**, via the columns multiplexer (**IW08**) controlled by **PB4-PB6**.

Une touche enfoncée correspond à un shunt ligne-colonne.

Le microprocesseur fait le test touche enfoncée par une lecture de **PB7** :

- **PB7 = 1** : pas de touche enfoncée.
- **PB7 = 0** : touche enfoncée (prise en compte du code de la ligne à 0 et de la colonne lue, soit : PB1-PB3 / PB4-PB6 « code touche »).

A key held down corresponds to a line-column shunt.

The microprocessor carries out the key held down test by reading **PB7** :

- **PB7 = 1** : no key held down.
- **PB7 = 0** : key held down (code for the line at 0 and the column read taken into account : PB1-PB3/PB4-PB6 « key code »).

## TABLES DE VÉRITÉ / TRUTH TABLES

DÉCODAGE LIGNE / LINE DECODING  
[(IW09) 74LS156]

ENTRÉES INPUT			SORTIES OUTPUT							
C <sub>x</sub>	B <sub>x</sub>	A <sub>x</sub>	X <sub>7</sub>	X <sub>6</sub>	X <sub>5</sub>	X <sub>4</sub>	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>0</sub>
0	0	0	1	1	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	0	1
0	1	0	1	1	1	1	1	0	1	1
0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	1	1	0	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1
1	1	0	1	0	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1

MULTIPLEXAGE COLONNE / COLUMN MULTIPLEXING  
[(IW08) 74LS151]

ENTRÉES INPUT			SORTIES OUTPUT
C <sub>y</sub>	B <sub>y</sub>	A <sub>y</sub>	Y
0	0	0	Y <sub>7</sub>
0	0	1	Y <sub>6</sub>
0	1	0	Y <sub>5</sub>
0	1	1	Y <sub>4</sub>
1	0	0	Y <sub>3</sub>
1	0	1	Y <sub>2</sub>
1	1	0	Y <sub>1</sub>
1	1	1	Y <sub>0</sub>

# I - CHRONOGRAMMES - TIMING DIAGRAM

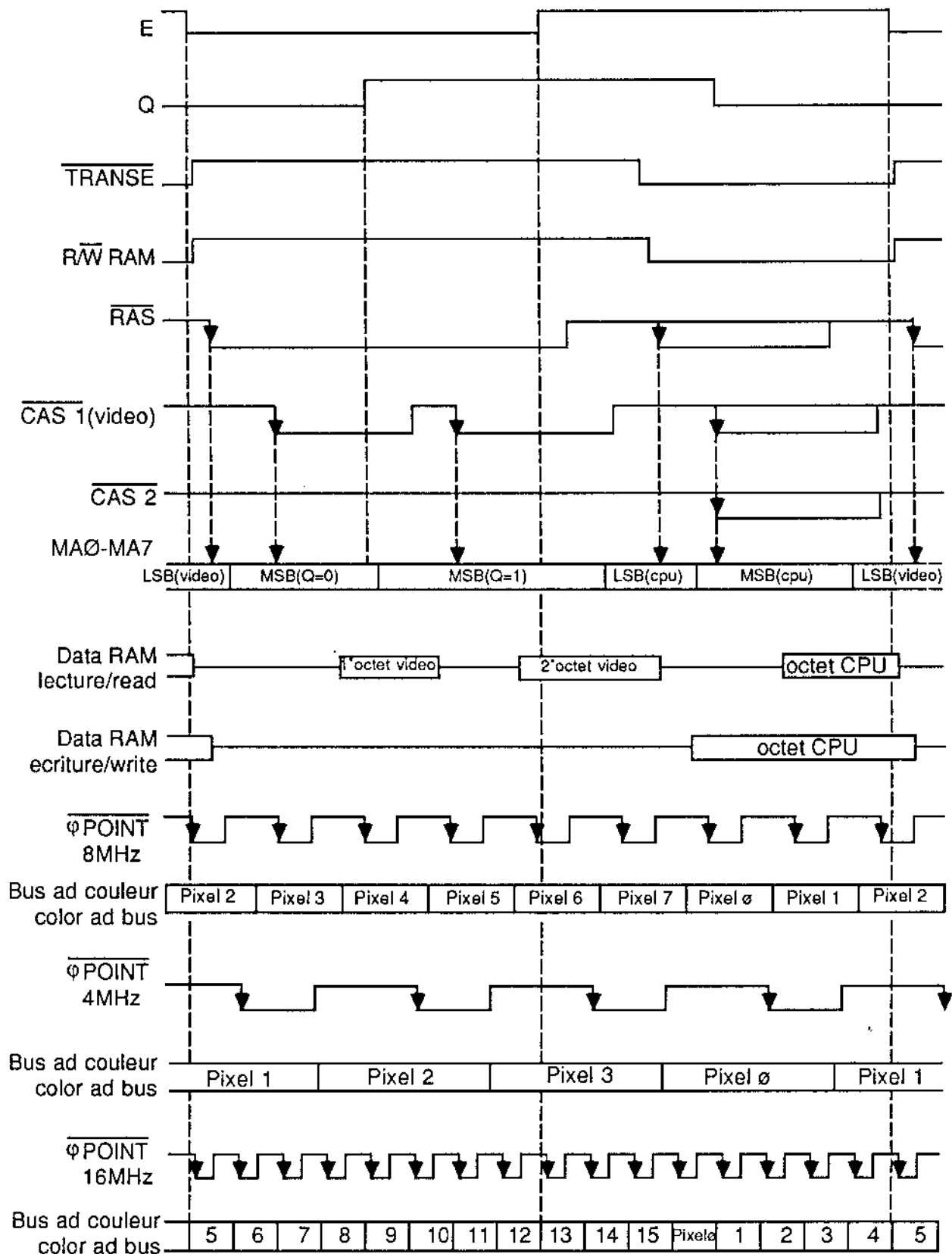


Fig. 12

## VIII – INTERFACE NANORESEAU® NANORESEAU® INTERFACE

### A – GÉNÉRALITÉS

Le **NANORESEAU®** permet de grouper jusqu'à 31 MO5 NR autour d'un ordinateur plus puissant appelé tête de réseau. La liaison entre ces différents éléments est réalisé par un bus constitué de deux paires de fils torsadés et blindés pour transmettre les données et une horloge 500 kHz.

Chaque poste est numéroté (de 1 à 31 en binaire par 5 contacteurs: **SW03**) afin de pouvoir être adressé individuellement. La tête de réseau porte le numéro 0.

Le **NANORESEAU®** permet l'échange d'information, fichier, programmes etc entre les différents postes et la tête de réseau. Les postes peuvent aussi accéder aux périphériques (imprimante, lecteur de disquette, vidéo disque etc) gérés par la tête de réseau.

Le signal horloge est généré et transmis par le poste (ou la tête) qui émet: il n'y a pas un générateur unique pour l'ensemble du réseau.

### B – ANALYSE DU SCHÉMA

La **PROW IW21** réalise le décodage d'adresse. En entrée elle reçoit les adresses **A3** à **A10**. Les signaux **A11** et **AXXX** présents au niveau bas sur les entrées **CE1** et **CE2** valident **IW21**. Les sorties **01**, **02**, **03** sélectionnent respectivement les boîtiers **IW20**, **IW24**, **IW19**.

### A – GENERAL

The **NANORESEAU®** makes it possible to group up to 31 MO5 NRs around a more powerful computer called the network head. The link-up between these different elements is achieved through a bus made up of 2 pairs of armoured, twisted wires for data transmission, and a 500 kHz clock.

Each station is numbered (from 1 to 31 in binary through 5 contactors: **SW03**), so that it can be addressed individually. The network head is number 0.

The **NANORESEAU®** enables the exchange of data, files, programs, etc. between the different stations and the network head. The stations can also access peripherals (printer, disk drive, videodisk, etc.) handled by the network head.

The clock signal is generated and sent by the station (or head) which is transmitting: there is no single generator for the overall network.

### B – ANALYSIS OF THE DIAGRAM

The **PROM IW21** carries out address decoding. At input it receives the addresses **A3** to **A10**. Signals **A11** and **AXXX**, present on the low level on inputs **CE1** and **CE2**, validate **IW21**. Outputs **01**, **02** and **03** respectively select packages **IW20**, **IW24** and **IW19**.

TABLE DE VÉRITÉ DE IW 21  
IW 21 TRUTH TABLE

Entrée Input	Sorties - Outputs				Boîtier sélectionné Package selected
	04	03	02	01	
00 à F7	1	1	1	0	IW 20
F8 - F9	1	1	1	1	
FA	1	0	1	1	IW 19
FB	1	1	0	1	IW 24
FC à FF	1	1	1	1	

Le décodage correspondant est donc :

**A000** à **A7BF** : **IW20** EPROM Réseau

**A7D0** à **A7D7** : **IW19** Contrôleur HDLC

**A7D8** à **A7DF** : **IW24** Etape tampon (Buffer)

Il est à noter que le gate array mode page ne délivre pas le signal **AXXX** pour les adresses **A7DA** à **A7DF** qui sont réservées pour d'autres fonction. En conséquence **IW24** ne pourra être adressé que par **A7D8-A7D9**.

**IW20** est une mémoire EPROM de 8k qui contient le logiciel de gestion du réseau. Celui-ci n'occupe en réalité qu'un peu moins de 2k et peut être adressé de **A000** à **A7BF**

The corresponding decoding is therefore :

**A000** to **A7BF** : **IW20** EPROM network.

**A7D0** to **A7D7** : **IW19** HDLC Control unit.

**A7D8** to **A7DF** : **IW24** Buffer stage.

It should be noted that the gate array mode page does not deliver the signal **AXXX** for addresses **A7DA** to **A7DF**, which are reserved for other functions. Consequently **IW24** can only be addressed by **A7D8-A7D9**.

**IW20** is an 8K EPROM memory containing the network handling software. This in fact only occupies a little less than 2K and can be addressed from **A000** to **A7BF**.

Les commutateurs 2 à 6 de **SW03** permettent la numérotation du poste en binaire. Ils sont reliés au bus de données (**D0** à **D4**) à travers l'étage tampon **IW24**. **IW24** est validé pour les adresses **A7D8-A7D9**.

Le commutateur 1 de **SW03** doit être positionné sur **ON** pour le fonctionnement en **NANORESEAU®** (validation de **IW21**). Lorsqu'il est sur **OFF** il autorise le fonctionnement avec un lecteur de disquette autonome.

Les circuits **IW25** et **IW26** sont des transmetteurs différentiels bi-directionnels. **IW25** est utilisé pour la transmission du signal d'horloge, **IW26** pour les données. Ils sont positionnés en sortie par **RTS** (synchronisé sur **E** par **IW22**). **CTS** positionne **IW26** en entrée lorsque une horloge de réception est présente.

The **SW03** switches 2 to 6 allow the station to be numbered in binary form. They are connected to the data bus (**D0** to **D4**) through the buffer stage **IW24**. **IW24** is validated for addresses **A7D8-A7D9**.

The **SW03** switch 1 must be switched **ON** for the **NANORESEAU®** to operate (validation of **IW21**). When it is **OFF**, it authorizes operation with an autonomous disk drive.

The **IW25** and **IW26** circuits are differential both-way transmitters. **IW25** is used for the transmission of the clock signal, and **IW26** for the data. They are positioned at output by **RTS** (synchronized on **E** by **IW22**). **CTS** positions **IW26** at input when a reception clock is present.

## TABLES DE FONCTIONNEMENT OPERATING TABLES

en émission  
at transmission

Entrée Input D	Valid. DE	Sorties Outputs	
		A	B
1	1	1	0
0	1	0	1
X	0	Z	Z

en réception  
at reception

Entrée Input Dif. A - B	Valid. RE	Sortie Output R
$V > 0,2 V$	0	1
$-0,2 < V < 0,2$	0	?
$V < -0,2 V$	0	0
X	1	2

X: Indifferent

?: Indéterminé - Undetermined

Z: Haute impédance - High impedance

**IW23** est un double monostable « retriggerable » dont une partie génère le signal **CTS** (Clear to Send) lorsque l'horloge de réception est présente. La transition positive de **CTS** est mémorisée dans le contrôleur **IW19** et procure une inhibition du bit 6 du registre d'état **SR1** et de **IRQ** qui lui est associé. **CTS** valide le transmetteur **IW26** en réception. **IW23** a aussi pour rôle de créer une interruption **IRQ**, par l'intermédiaire de **T18**, lorsque l'horloge de transmission **TXC** n'est plus présente et qu'il n'y a plus de données reçues **RXD**.

**IW23** is a double monostable retriggerable of which one part generates the **CTS** signal when the reception clock is present. The positive transition of **CTS** is memorized in the **IW19** control unit and leads to an inhibition of bit 6 on the **SR1** status register, and **IRQ** which is associated with it. **CTS** validates the **IW26** transmitter at reception. **IW23** also creates an **IRQ** interruption, via **T18**, when the **TXC** transmission clock is no longer present and no data **RXD** is received.

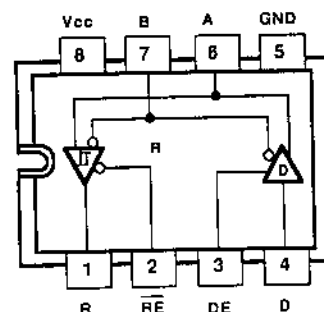


Fig. 13

## Table de fonctionnement Operating table

Entrées - Inputs			Sorties - Outputs	
clear	A	B	Q	Q̄
0	X	X	0	1
X	1	X	0	1
X	X	0	0	1
1	0	↑	↑	↓
1	↓	1	↓	↑
↑	0	1	↓	↑

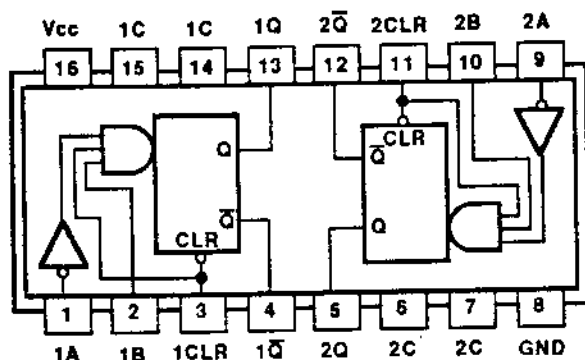


Fig. 14

**IW22** est une double bascule JK. Une des bascules génère l'horloge d'émission, **TXC = 500 kHz**, à partir du signal **E = 1 MHz**. La 2<sup>e</sup> bascule est utilisée pour synchroniser le signal **RTS** (Request To send), issu du contrôleur **IW19**, sur l'horloge **E**. Ce signal positionne en sortie les transmetteurs **IW25** et **IW26**.

### C - LE CONTRÔLEUR EF 6854 (IW19)

Le contrôleur **EF 6854** réalise la fonction complexe d'interface entre le microprocesseur et le réseau de communication. A l'émission, les données **D0** à **D7** sont sérialisées vers le réseau. A la réception les données sont traitées de façon inverse.

#### 1 - Constitution d'une trame.

Chaque trame débute et se termine par un délimiteur de trame, chaque trame étant considérée comme un tout.

**IW22** is a JK double flip-flop. One of the flip-flops generates the transmission clock, **TXC = 500 KHz**, from the signal **E = 1 MHz**. The second flip-flop is used to synchronize the **RTS** signal from the **IW19** control unit, on clock **E**. This signal positions transmitters **IW25** and **IW26** at output.

### C - THE EF6854 (IW19) CONTROL UNIT

The **EF6854** control unit has the complex task of interfacing between the microprocessor and the communication network. When transmitted, the **D0** to **D7** data are serialized and inserted in a characteristic frame before being sent towards the network. On reception the data are processed in the reverse manner.

#### 1 - Constitution of a frame.

Because each frame is considered as an entity, it is started and finished by a frame delimiter.

01111110 DÉLIMITEUR DELIMITER	ZONE D'ADRESSE ADDRESS ZONE	ZONE DE COMMANDE CONTROL ZONE	ZONE DE DONNÉES (FACULTATIVE) DATA ZONE (options)	SÉQUENCE DE CONTR. TRAME FRAME CONTR. SEQUENCE	01111110 DÉLIMITEUR DELIMITER
-------------------------------------	--------------------------------------	--	--	---	-------------------------------------

#### a) Délimiteurs de trame :

Ce sont deux octets qui marquent le début et la fin d'une trame. Ils servent de référence pour le positionnement des différentes zones de la trame. Deux trames successives peuvent être séparées par un seul délimiteur si le bit **b0** de **CR4** est au niveau bas.

#### b) Zone d'adresse

Elle permet d'identifier le destinataire de la trame transmise. La zone d'adresse peut être constituée d'un seul octet ou, dans le cas de l'adressage étendu, d'un nombre entier d'octets.

En adressage étendu, le premier bit de chaque octet est mis à 0 pour indiquer que l'octet suivant est encore un octet d'adresse ou à 1 si l'octet transmis est le dernier de la zone d'adresse.

#### c) Zone de commande

Cette zone est utilisée pour transmettre des ordres au destinataire ou en recevoir la réponse. La longueur de cette zone peut être portée à deux octets par la mise à 1 du bit **b1** de **CR3**.

#### d) Zone de données

La présence de cette zone est facultative dans la constitution d'une trame. Elle contient les informations à transmettre et peut être constituée d'un nombre indéfini de bits.

#### a) Frame delimiters :

These are two bytes which mark the beginning and end of a frame. They serve as a reference for the positioning of the different zones of the frame. Two successive frames can be separated by a single delimiter if the **CR4 b0** bit is at the low level.

#### b) Address zone

This makes it possible to identify the addressee of the transmitted frame. The address zone can comprise a single byte, or, in the case of extended addressing, of an entire number of bytes.

In extended addressing, the first bit of each byte is put at 0 so as to indicate that the next byte is still an address byte, or at 1 if the transmitted byte is the last one in the address zone.

#### c) Control zone

This zone is used to transmit orders to the addressee or to receive the reply. The length of this zone can be increased to two bytes by putting the **CR3 b1** bit at 1.

#### d) Data zone

When constituting a frame the presence of this zone is optional. It contains information to be transmitted and can comprise an indefinite number of bits.

### e) Séquence de contrôle de trame. (FCS)

Les 16 bits précédant le délimiteur de fin de trame constituent la séquence de contrôle. Elle est calculée à partir des k bits de la trame transmise (zone d'adresse, zone de commande et zone de données). Elle permet à la réception de détecter les éventuelles erreurs de transmission.

**Remarque :** à l'émission le contenu de la trame est examiné et un 0 est inséré automatiquement entre chaque séquence de 5 bits positionnés à 1. Ceci afin que le récepteur puisse faire la différence entre le contenu de la trame et des signaux tels que ceux signalant une procédure d'abandon (8 bits consécutifs à 1) ou un état de repos (au moins 15 bits consécutifs à 1).

### 2 - Les registres du contrôleur EF 6854

Le contrôleur **EF 6854** comporte 8 registres accessibles par le bus de données. Cinq de ces registres sont à écriture seule, les trois autres à lecture seule. Le tableau ci-dessous indique leur mode de sélection.

### e) Frame control sequence (FCS)

The 16 bits which precede the frame end delimiter constitute the control sequence. It is calculated from the k bits of the transmitted frame (address zone, control zone and data zone). It enables possible errors to be detected on reception.

**N.B.** at transmission the content of the frame is examined and a 0 is automatically inserted between each 5 bit sequence positioned at 1. This allows the receiver to distinguish between the frame content and other signals such as those indicating an abandon procedure (8 consecutive bits at 1) or a state of rest (at least 15 consecutive bits at 1).

### 2 - The EF 6854 control unit's registers

The **EF 6854** control unit contains 8 registers accessible through the data bus. Five of these registers are at write only, and the other three at read only. The table below shows their selection mode.

R/W	A 1 RS 1	A 0 (RS 0)	BIT 0 de CR 1	REGISTRE SÉLECTIONNÉ REGISTER SELECTED	
0	0	0	X	REGISTRE DE CONTRÔLE CR 1 CONTROL REGISTER CR 1	ÉCRITURE - WRITE
0	0	1	0	REGISTRE DE CONTRÔLE CR 2 CONTROL REGISTER CR 2	
0	0	1	1	REGISTRE DE CONTRÔLE CR 3 CONTROL REGISTER CR 3	
0	1	1	1	REGISTRE DE CONTRÔLE CR 4 CONTROL REGISTER CR 4	
0	1	0	X	REGISTRE FIFO ÉMISSION (trame continue) FIFO REGISTER TRANSMISSION (continuous frame)	
0	1	1	0	REGISTRE FIFO ÉMISSION (trame terminée) FIFO REGISTER TRANSMISSION (frame ended)	LECTURE - READ
1	0	0	X	REGISTRE D'ÉTAT SR 1 STATUS REGISTER SR 1	
1	0	1	X	REGISTRE D'ÉTAT SR 2 STATUS REGISTER SR 2	
1	1	X	X	REGISTRE FIFO RÉCEPTION FIFO REGISTER RECEPTION	

### 3 - Les Entrées/Sorties du contrôleur EF 6854

**D0-D7 :** Liaison au bus de données.

**TXC :** Entrée du signal d'horloge 500 kHz utilisé pour la transmission (signal créé par IW22 à partir de E).

### 3 - The EF 6854 control unit's inputs/outputs

**D0-D7 :** Link to data bus.

**TXC :** Input of the 500 kHz clock signal used for transmission (signal created by IW22 from E).

**TXD** : Sortie des données séries à envoyer vers le réseau.

**RXD** : Entrée des données en provenance du réseau.

**RXC** : Entrée de l'horloge de réception en provenance du réseau.

**E** : Entrée du signal d'horloge 1 MHz.

**CS** : Entrée de sélection du boîtier créée par le décodage d'adresse dans IW21.

**A0-A1** : Entrées des lignes d'adresses utilisées pour la sélection des registres internes.

**R/W** : Entrée de la commande lecture/écriture.

**IRQ** : Sortie du signal de demande d'interruption à destination du microprocesseur.

**RESET** : Entrée de réinitialisation.

**RST** (Request To Send) : Sortie d'un signal qui après synchronisation avec E est utilisé pour positionner en sortie les transmetteurs IW25 et IW26 : demande d'émission.

**CTS** (Clear To Send) : Entrée du signal créée dans IW23 quand une horloge de réception est présente : inhibition de l'émetteur.

**LOC/DTR** (Loop On line Control/Data Terminal Ready) : Sortie du signal autorisant la génération de l'horloge d'émission par IW22.

**TXD** : Output of series data to send to the network.

**RXD** : Input of data from the network.

**RXC** : Input of reception clock from the network.

**E** : Input of the 1 MHz clock signal.

**CS** : Input of the package selection created by the address decoder in IW21.

**A0-A1** : Inputs of the address lines used for the selection of the internal registers.

**R/W** : Input of the read/write control.

**IRQ** : Output of the interruption request signal for the microprocessor.

**RESET** : Reinitialization input.

**RST** : (Request to send: Output of a signal which, after synchronization with E, is used to position transmitters IW25 and IW26 at output : transmission request.

**CTS** (Clear to send) : Input of the signal created in IW23 when a reception clock is present : the transmitter is inhibited.

**LOC/DTR** (Loop On Line Control Data Terminal Ready) : Output of the signal authorizing the generation of the transmission clock by IW22.

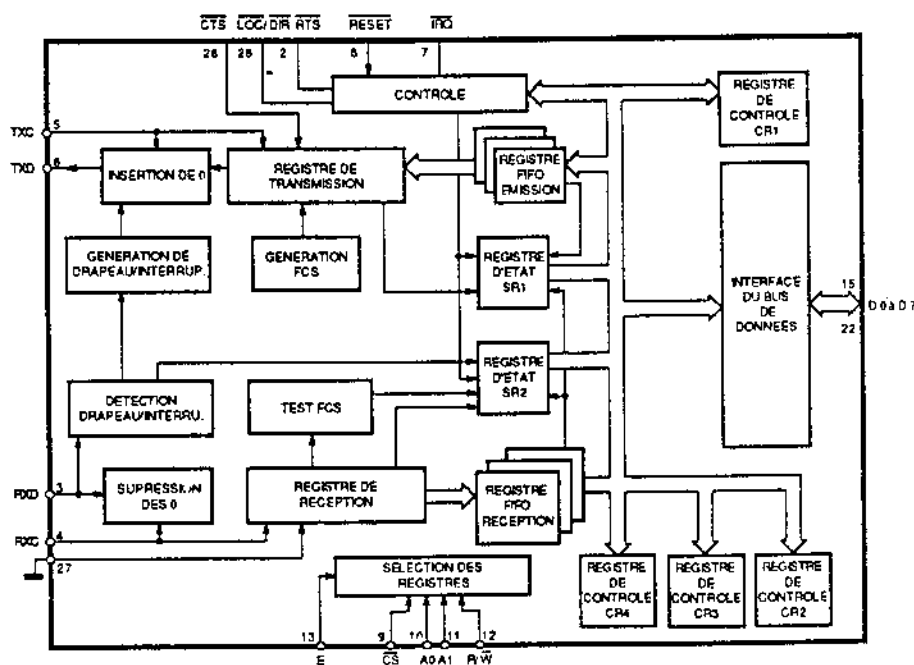


Fig. 15



## IX – ALIMENTATION – POWER SUPPLY

### A – GÉNÉRALITÉS

Le **MO5 NR** peut être alimenté soit par la tension continue 21 V disponible sur son moniteur spécifique (référence MC 9J-936) soit par la tension 18 V fournie par un bloc d'alimentation standard.

L'alimentation du **MO5 NR** délivre :

- Une tension + 12 V dont la stabilité est assurée par le régulateur série **IW03**.
- une tension + 5 V obtenue à partir d'un circuit intégré **L 4962 (IW04)** qui remplit les fonctions suivantes :
  - modulation de largeur d'impulsion.
  - découpage de puissance.
  - limitation de courant.

### B – FONCTIONNEMENT DU MODULATEUR DE LARGEUR D'IMPULSION (IW04)

Une fraction de la tension de sortie est comparée à une référence interne de + 5 V. La différence obtenue est amplifiée puis comparée à la tension en dent de scie de l'oscillateur.

### A – GENERAL

The **MO5 NR** can either be powered by 21 V DC voltage available on its special monitor (reference MC 9J-936), or by 18 V voltage provided by a standard power supply block.

The **MO5 NR** power supply delivers :

- + 12 V voltage whose stability is guaranteed by an **IW03** series regulator.
- + 5 V voltage obtained from an **L4962 (IW04)** integrated circuit fulfilling the following functions :
  - pulse width modulation.
  - power chopping.
  - current limitation.

### B – PULSE WIDTH MODULATOR OPERATION (IW04)

A fraction of the output voltage is compared with an internal reference of + 5 V. The differential obtained is amplified and then compared with the voltage of the oscillator.

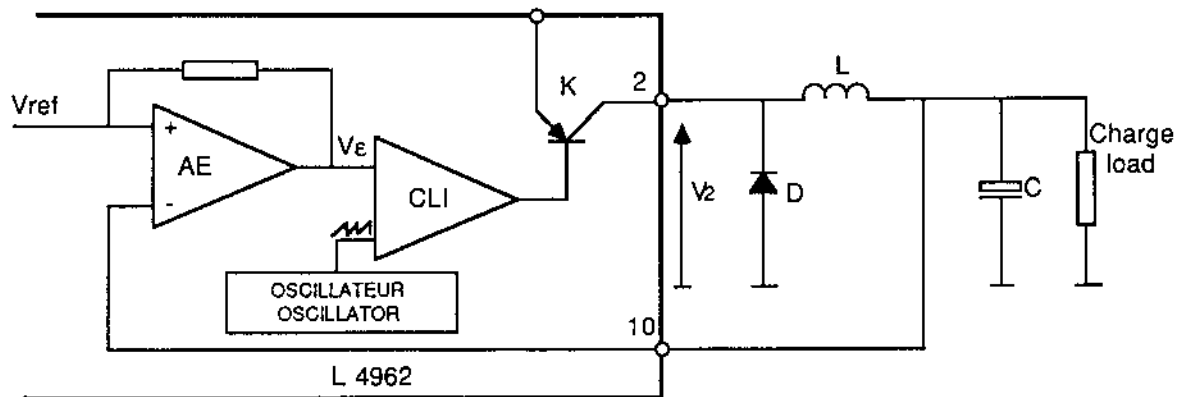


Fig. 16

AE : Ampli d'Erreur - Error Ampli

CLI : Comparateur Largeur Impulsion - pulse width comparator

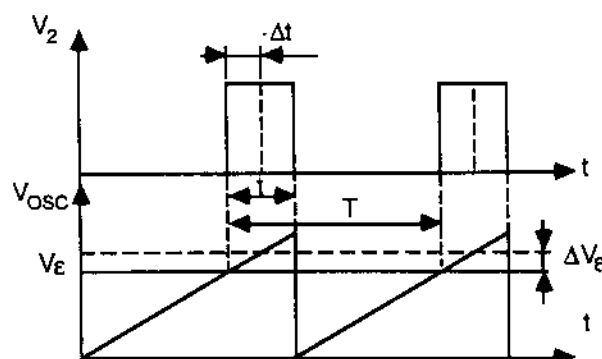
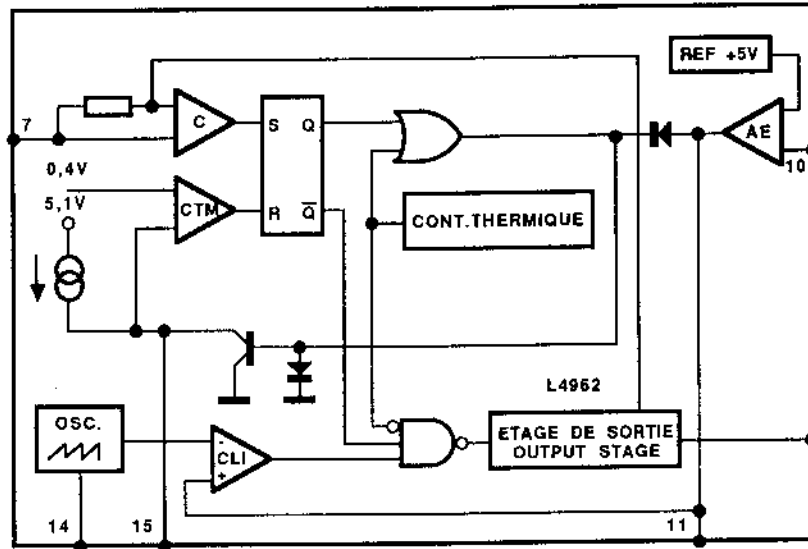


Fig. 17

Le résultat de la comparaison, amplifié, agit sur le temps de conduction  $t$  du transistor de découpage  $K$  et ainsi permet la régulation de la tension de sortie.

When amplified, the result of the comparison governs the conduction time  $t$  of the break-down transistor  $K$ , thus regulating the output voltage.

### C - SCHÉMA SYNOPTIQUE INTERNE DE IW 04 IW 04 INTERNAL BLOCK DIAGRAM



- C } Comparateur  
Comparator
- CTM } Comp. Temps Mort  
Dead time comp.
- CLI } Comp. largeur Impulsion  
Pulse width comparator
- AE } Ampli Erreur  
Error ampli

Fig. 18

### D - ANALYSE DU SCHÉMA

**L02**, **D02** et **C10** sont les éléments classiques utilisés sur ce type d'alimentation. Leur rôle peut être défini comme suit :

- **Phase 1** : le transistor de découpage **K** (interne au circuit **IW04**) est saturé. La tension présente sur la broche 2 du circuit intégré alimente la charge à travers **L02** qui emmagasine de l'énergie. **C10** se charge. **D02** est polarisé en sens inverse.
- **Phase 2** : le transistor de découpage **K** est bloqué. **L02** restitue l'énergie emmagasinée, sous la forme d'un courant de même sens que dans la phase 1. Il alimente la charge et se referme à travers la diode **D02**. La tension de sortie aux bornes de la charge est proportionnelle au rapport  $t/T$  (voir figure 17).

La cellule **R01-C06** fixe la fréquence de l'oscillateur donc la fréquence du découpage.

La valeur de **C07** détermine, à la mise sous tension, le temps d'établissement de la tension de sortie sur la broche 2 du circuit intégré. Ce temps est lié à la durée de charge du condensateur.

D'autre part, un niveau 0 sur la broche 15 met l'alimentation en relaxation (tension de sortie nulle); un niveau 1 autorise une tension de sortie maximum. En agissant sur la tension appliquée à la broche 15, il est donc possible de limiter le courant de sortie.

### D - ANALYSIS OF THE DIAGRAM

**L02**, **D02** and **C10** are the classic elements used on this type of power supply. Their role can be defined as follows :

- **Phase 1** : the chopping transistor **K** (inside the **IW04** circuit) is saturated. The voltage present on pin 2 of the integrated circuit supplies the charge through **L02**, which stores the energy. **C10** is charged. **D02** is polarized in the opposite direction.
- **Phase 2** : the chopping transistor **K** is blocked. **L02** restores the stored energy in the form of a current in the same direction as in phase 1. It supplies the charge and shuts off again across the **D02** diode. The output voltage at the charge ends is proportional to the  $t/T$  ratio (see figure 17).

The **R01-R06** cell fixes the frequency of the oscillator and therefore the chopping frequency. When switched on at the mains, the value of **C07** fixes the time for establishing the output voltage on pin 2 of the integrated circuit. This time is connected to the length of the capacitor charge.

Furthermore, a level 0 on pin 15 puts the power supply on relaxation (zero output voltage); a level 1 authorizes a maximum output voltage. By acting on the voltage applied to pin 15, it is therefore possible to limit the output current.

La compensation **R02-C08** agit sur le gain de boucle de l'ampli d'erreur interne au circuit intégré. **R03-R04** constituent une boucle de régulation qui réinjecte une fraction de la tension de sortie sur l'entrée négative de l'ampli d'erreur interne au circuit **IW04**. La valeur de ces résistances a été déterminée en fonction de la tension à obtenir en sortie.

**L03-C12** constituent la cellule de filtrage du +5 V. **D09-R08** assurent un débit de courant minimum lorsque la charge n'est pas connectée.

#### **E - PROTECTION CONTRE LES SURTENSIONS.**

Une surtension sur le +5 V rend la diode **D03** conductrice. Lorsque la tension aux bornes de **R07** devient supérieure à la tension de gâchette du thyristor **D07**, celui-ci s'amorce et décharge instantanément le condensateur **C05**: le fusible **F01** fond. Pour le +12 V, **D06** assure la même fonction que **D03** sur le +5 V.

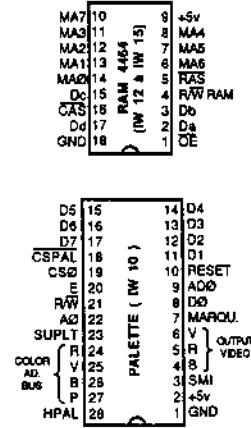
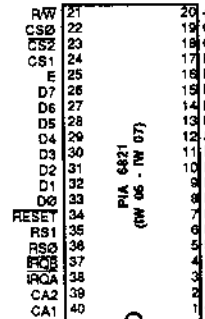
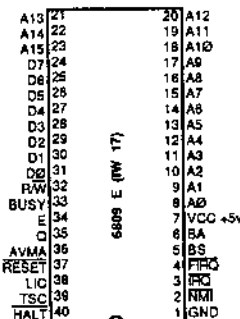
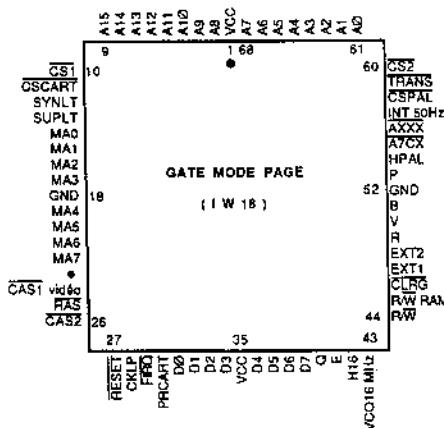
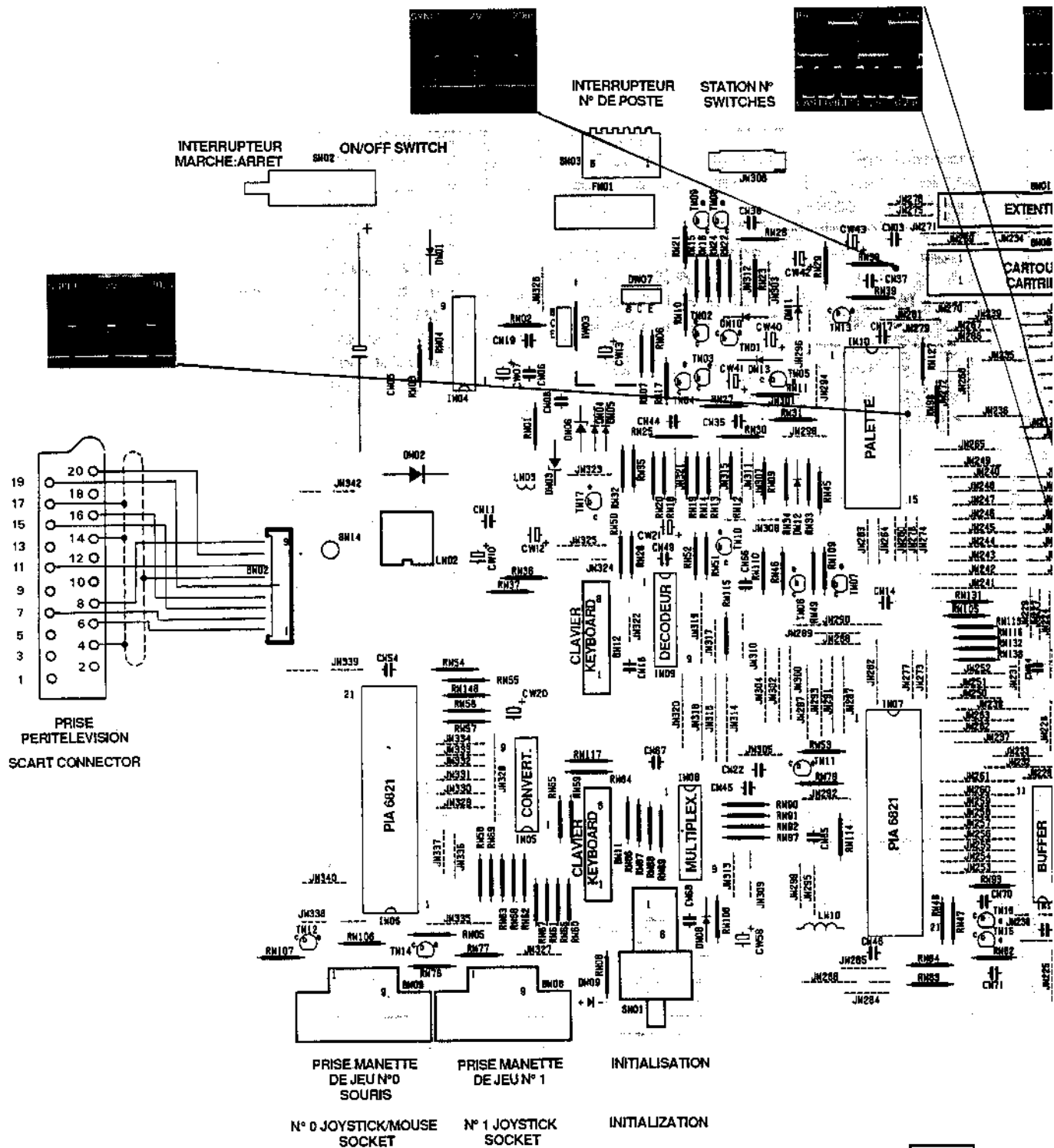
The **R02-C08** compensation acts on the loop gain of the error amplifier inside the integrated circuit. **R03-R04** constitute a regulating loop which reinjects a fraction of the output voltage on the negative input of the error amplifier inside circuit **IW04**. The value of these resistances has been fixed in accordance with the voltage to be obtained at output.

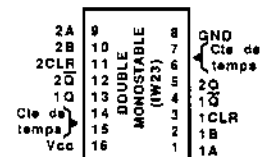
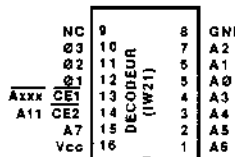
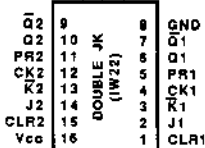
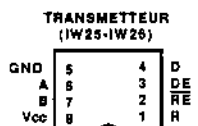
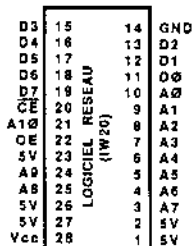
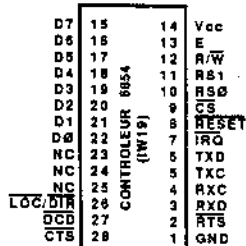
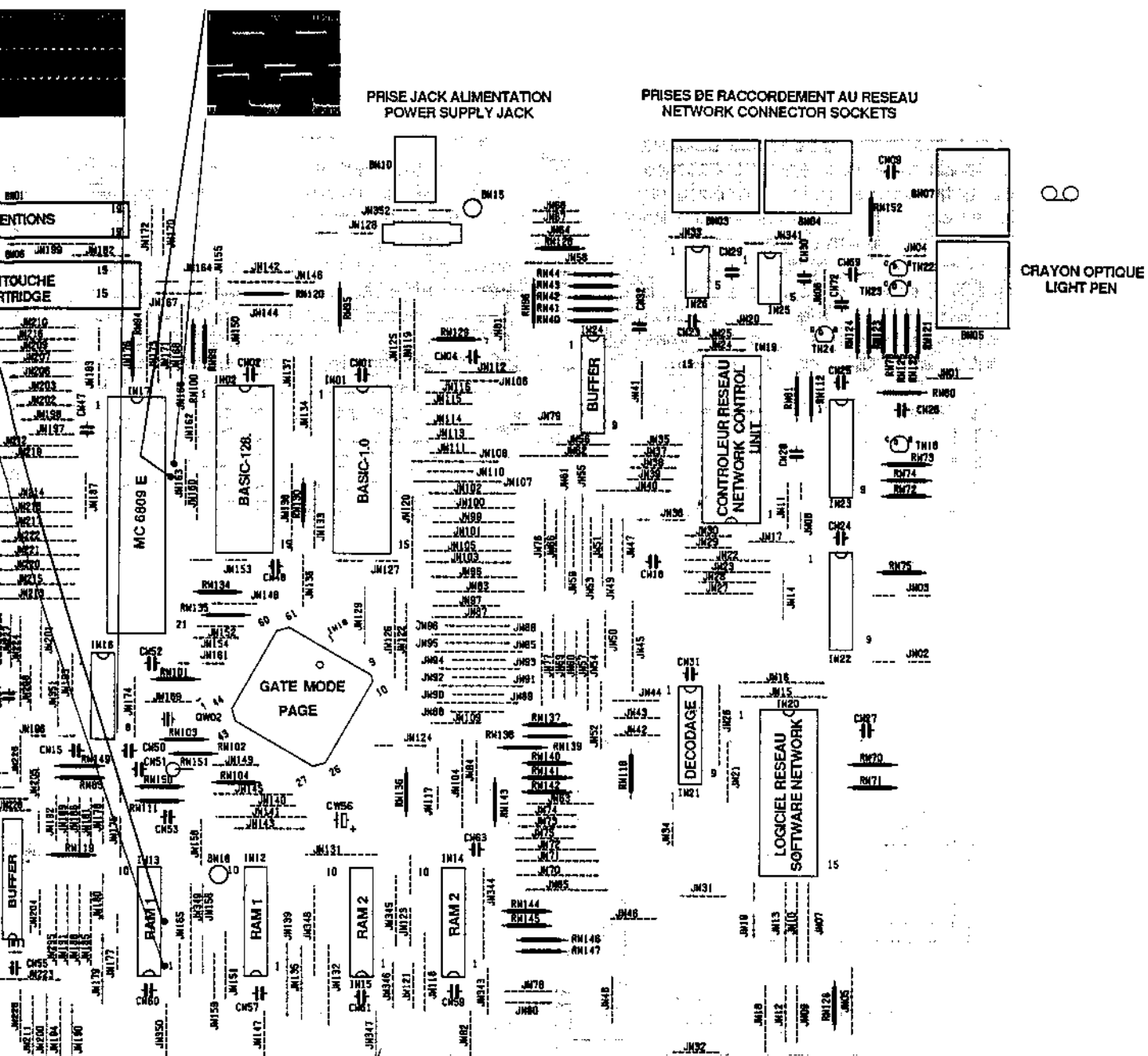
**L03-C12** constitute the +5 V filtering cell. **D09-R08** guarantee a minimum current when the charge is not connected.

#### **E - PROTECTION AGAINST OVERVOLTAGES**

An overvoltage on the +5 V makes the **D03** diode into a conductor. When the voltage at the **R07** terminals exceeds the trigger voltage of the **D07** thyristor, the latter starts up and immediately discharges the **C05** capacitor: the **F01** fuse melts. For the +12 V, **D06** guarantees the same operation as **D03** on the +5 V.

# X - CIRCUIT IMPRIMÉ - CIRCUIT BOARD





# XI - LISTE DES PIÈCES DÉTACHÉES - PARTS LIST

## A) ELECTRONIQUE ELECTRONIC PARTS

CODE - CODICE CODIGO	DESIGNATION - DESCRIPTION BEZEICHNUNG - DESIGNAZIONE - DESIGNACION	REPÈRE - ITEM POS - RIF - REP
<b>796 TX 1082</b>	<b>PLATINE PRINCIPALE (HPOP5NRDS) EQUIPEE MAIN P.C. BOARD (HPOP5NRDS), CPL.</b>	
276 TX 2521	CIRCUIT INTEGRE 272561 (W01/M05NR) INTEGRATED CIRCUIT 272561 (W01/M05NR)	IWD1
276 TX 2522	CIRCUIT INTEGRE 272561 (W02/M05NR) INTEGRATED CIRCUIT 272561 (W02/M05NR)	IWD2
276 TX 0171	CIRCUIT INTEGRE SFC2812EC OU MC7812CT INTEGRATED CIRCUIT SFC2812EC OR MC7812CT	IWD3
276 TX 2274	CIRCUIT INTEGRE 14962 INTEGRATED CIRCUIT 14962	IWD4
276 TX 1088	CIRCUIT INTEGRE MC14050BCP INTEGRATED CIRCUIT MC14050BCP	IWD5
276 TX 1052	CIRCUIT INTEGRE MC6821P OU EF6821P INTEGRATED CIRCUIT MC6821P OR EF6821P	IWD5-07
276 TX 1496	CIRCUIT INTEGRE SN74LS151N INTEGRATED CIRCUIT SN74LS151N	IWD8
276 TX 1489	CIRCUIT INTEGRE SN74LS156N INTEGRATED CIRCUIT SN74LS156N	IWD9
276 TX 1988	CIRCUIT INTEGRE EF8369P INTEGRATED CIRCUIT EF8369P	IWD10
276 TX 1077	CIRCUIT INTEGRE SN74LS245N INTEGRATED CIRCUIT SN74LS245N	IWD11
276 TX 2273	CIRCUIT INTEGRE TMS4464-15NL INTEGRATED CIRCUIT TMS4464-15NL	IWD12→15
276 TX 1969	CIRCUIT INTEGRE SN74HC04N INTEGRATED CIRCUIT SN74HC04N	IWD16
276 TX 1577	CIRCUIT INTEGRE MC6809EP OU EF6809EP INTEGRATED CIRCUIT MC6809EP OR EF6809EP	IWD17
276 TX 2238	CIRCUIT INTEGRE CF74021 (TEXAS) INTEGRATED CIRCUIT CF74021 (TEXAS)	IWD18
276 TX 2768	CIRCUIT INTEGRE EFG202A (EFCIS) INTEGRATED CIRCUIT EFG202A (EFCIS)	IWD18
276 TX 2523	CIRCUIT INTEGRE EF6854P INTEGRATED CIRCUIT EF6854P	IWD19
276 TX 2614	CIRCUIT INTEGRE 27641 (W20/M05NR) INTEGRATED CIRCUIT 27641 (W20/M05NR)	IWD20
276 TX 2628	CIRCUIT INTEGRE N82S129AN-R INTEGRATED CIRCUIT N82S129AN-R	IWD21
276 TX 2641	CIRCUIT INTEGRE SN74LS109AN INTEGRATED CIRCUIT SN74LS109AN	IWD22
276 TX 1070	CIRCUIT INTEGRE SN74LS123N INTEGRATED CIRCUIT SN74LS123N	IWD23
276 TX 1141	CIRCUIT INTEGRE SN74LS367A INTEGRATED CIRCUIT SN74LS367A	IWD24
276 TX 2616	CIRCUIT INTEGRE SN75176P INTEGRATED CIRCUIT SN75176P	IWD25-26
102 TX 7771	COMMUTATEUR (DIL) DIL SWITCH	SW03
207 TX 0618	CONDENSATEUR CHIMIQUE 6800µF 25V ELECTROLYTIC CAPACITOR 6800µF 25V	CW05
240 TX 0170	CONDENSATEUR CHIMIQUE 470µF 16V ELECTROLYTIC CAPACITOR 470µF 16V	CW10-12
102 TX 4123	CONNECTEUR FEMELLE 2X15 VOIES (CARTOUCHE DE PROGRAMME) 2X15-PATH SOCKET CONNECTOR (CARTRIDGE)	BW06
102 TX 6187	CONNECTEUR MALE 9 BROCHES (SUB-D9) (MANETTES/SOURIS) 9-PIN CONNECTOR (SUB-D9) (JOYSTICKS/MOUSE)	BW08-09
102 TX 6186	CONNECTEUR FEMELLE 8 VOIES (CLAVIER) 8-PATH SOCKET CONNECTOR (KEYBOARD)	BW11-12
102 TX 6190	CONTACTEUR (INITIALISATION) SWITCH (RESET)	SW01
102 TX 7640	CONTACTEUR (MARCHE/ARRET) SWITCH (ON/OFF)	SW02
273 TX 0025	DIODE 1N4001 DIODE 1N4001	DW01
273 TX 1493	DIODE BYW98-100 DIODE BYW98-100	DW02
273 TX 0186	DIODE BZX83C6V2 DIODE BZX83C6V2	DW03

CODE - CODICE CODIGO	DESIGNATION - DESCRIPTION BEZEICHNUNG - DESIGNAZIONE - DESIGNACION	REPÈRE - ITEM POS - RIF - REP
273 TX 0200	DIODE 1N4148 DIODE 1N4148	DW04 05 08 10→13
273 TX 1649	DIODE BZX85C27V DIODE BZX85C27V	DW06
273 TX 1383	DIODE LEO ROUGE C0Y40L OU TLUR5400 (MARCHE/ARRET) LED, RED C0Y40L OR TLUR5400 (ON/OFF)	DW09
101 TX 2245	FUSIBLE VERRE 800mA TEMPORISE TIME-LAG GLASS FUSE 800mA	FWD1
196 TX 2444	PLATINE PRISE EXTENSION EQUIPEE BOARD, EXTENSION SOCKET, CPL	BW01
102 TX 1005	PRISE DIN 5 BROCHES INSERABLE (RESEAU/LECTEUR DE PROGRAMME) 5-PIN DIN SOCKET (NETWORK/RECORDER)	BW03-D4-D7
102 TX 4120	PRISE DIN 5 BROCHES INSERABLE (CRAYON OPTIQUE) 5-PIN DIN SOCKET (LIGHT PEN)	BW05
102 TX 0995	PRISE JACK (ALIMENTATION) D.C. JACK	BW10
102 TX 1006	QUARTZ 16MHz CRYSTAL 16MHz	DW02
102 TX 4438	SELF CHOKE	IWD7
102 TX 0844	SELF CHOKE	IWD3
102 TX 7196	SELF CHOKE	IWD10
101 TX 2141	SUPPORT CIRCUIT INTEGRE 2X14 VOIES 2X14-PATH IC SOCKET	
116 TX 0007	SUPPORT FUSIBLE FUSE HOLDER	
270 TX 1772	THYRISTOR TYP512 THYRISTOR TYP512	DW07
270 TX 0648	TRANSISTOR BC547B TRANSISTOR BC547B	TW01 03-05→08 10-11-13 15→18 22-23
270 TX 0649	TRANSISTOR BC557B TRANSISTOR BC557B	TW02-04-09 12-14-24

## B) EQUIPEMENT-PRESENTATION EQUIPMENT-OUTER PARTS

### EQUIPEMENT EQUIPMENT

CODE - CODICE CODIGO	DESIGNATION - DESCRIPTION BEZEICHNUNG - DESIGNAZIONE - DESIGNACION
847 TX 0503	CORDON PERITELEVISION EQUIPE PERI-TV CABLE CPL
102 TX 3841	PIED CAOUTCHOUC RUBBER FOOT

### PRESENTATION OUTER PARTS

CODE - CODICE CODIGO	DESIGNATION - DESCRIPTION BEZEICHNUNG - DESIGNAZIONE - DESIGNACION
512 TX 0813	CLAVIER MECANIQUE (AZERTY) MECHANICAL KEYBOARD (AZERTY)
705 TX 1098	COFFRET INFERIEUR LOWER CABINET
705 TX 1099	COFFRET SUPERIEUR EQUIPE MOSE/NR UPPER CABINET CPL (MOSE/NR)
152 TX 4368	ENJOLIVEUR CARACTERES ACCENTUES CHARACTER TRIM PLATE
102 TX 1027	PROTECTEUR PLASTIQUE (SORTIE BUS) PLASTIC COVER (BUS OUTPUT)
166 TX 3278	TOUCHE NOIRE (INITIALISATION MARCHE/ARRET) BUTTON, BLACK (RESET ON/OFF)
614 TX 4775	VOLET PLASTIQUE (TRAPPE CARTOUCHE DE PROGRAMME) PLASTIC FLAP (PROGRAM CARTRIDGE)

## C) ACCESSOIRES ACCESSORIES

CODE - CODICE CODIGO	DESIGNATION - DESCRIPTION BEZEICHNUNG - DESIGNAZIONE - DESIGNACION
102 TX 7629	BOITIER MULTI-PRISES MULTIPLE-PLUG ADAPTOR
824 TX 3150	CORDON DIN/DIN 5 BROCHES (NR) 5-PIN DIN/DIN CABLE
824 TX 0151	CORDON JACK/JACK JACK/JACK CABLE
925 TX 0500	CRAYON OPTIQUE (HLP5002S) COMPLET LIGHT PEN (HLP5002S), CPL